

Evolution of Low Power Electronics and Its Future Applications

ISPLED, August 25, 2003, Seoul
Keynote Speech

解 説

ISPLEDは”Int'l Symposium on Low Power Electronics and Design”の略称である。VLSIのローパワー化を達成するためのプロセス、回路、システム、アーキテクチャ、応用など広範な技術分野の技術者・研究者が集う学会である。1996年に始まったISPLEDは第8回の今回、初めてアジア地区(ソウル)での開催となった(以前はすべて米国)。

ローパワー・エレクトロニクス分野における日本の世界的な貢献の一つは「NMOSに替えてCMOSをVLSIの主流にする」ことを先導したことである。70年代後半から80年代にかけてのことである。また、アーキテクチャ面では、RISCアーキテクチャのリエンジニアリングによって、「ローパワーで高性能」なMPUで先行し、これによって新しくデジタル・コンシューマ分野を切り開いたことだ。この講演ではこれらのポイントを骨子として、具体的な事例と共に紹介した。また、米国においてはアルゴリズムの最適化によってシステムのローパワー化が進んでおり、大きな成果を上げている事例を示した。

将来の応用分野としてはロボットが重要であり、これからのテクノロジー・ドライバーになるだろうと予測。今後、「高性能でローパワー」のVLSIへのニーズはますます高くなるだろう。

◆
ISLPED, Seoul
August 25, 2003

Evolution of Low Power Electronics and Its Future Applications

Dr. Tsugio Makimoto
Corporate Advisor
Sony Corporation

この時期、携帯電話をはじめとするデジタル・コンシューマ製品において「ローパワーで高性能」なLSIへのニーズが高まっていた。この講演は半導体のローパワー化の進展の歴史と将来の応用について述べたものである。

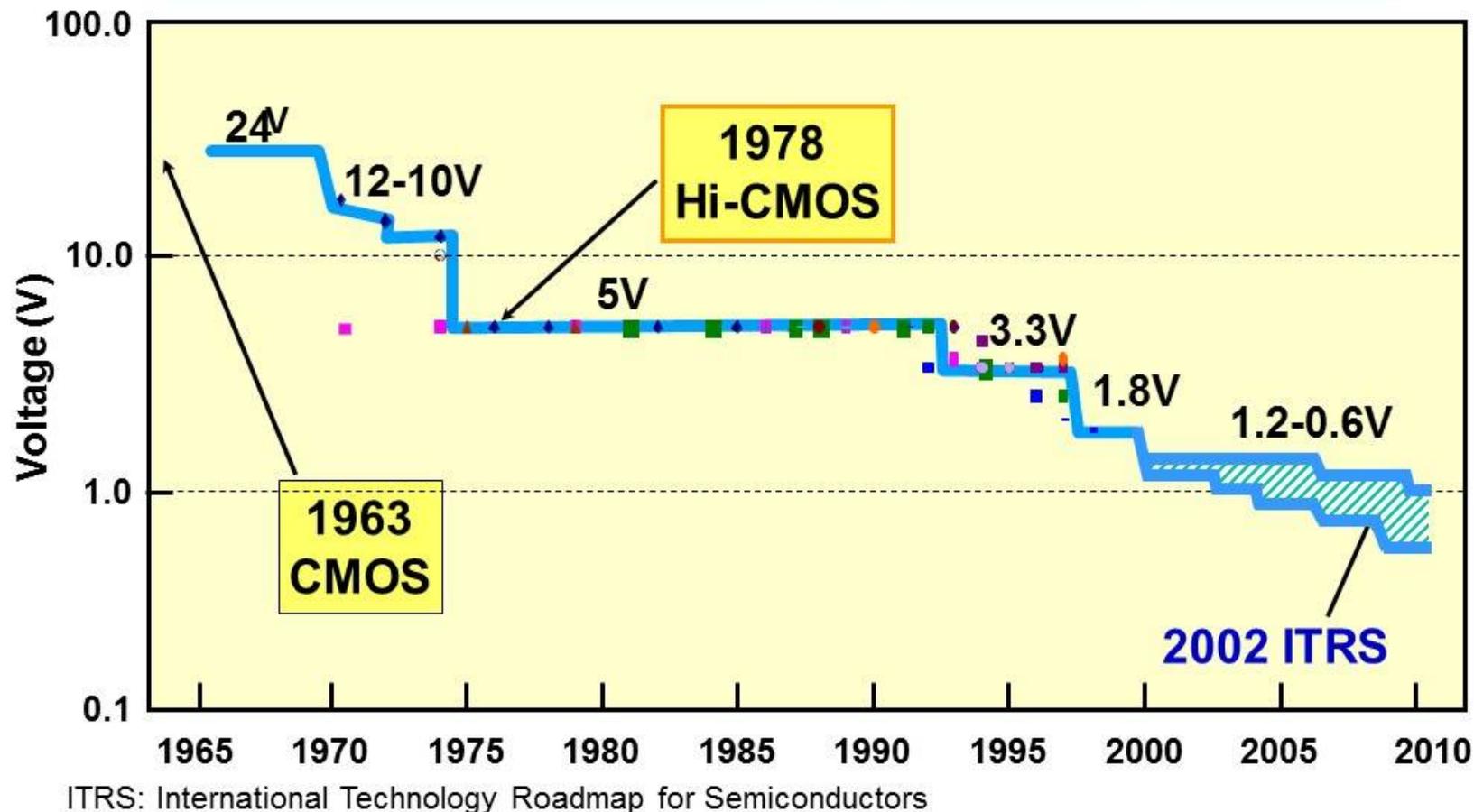
Outline

- Introduction
- Historical Review
- Architectural Innovation
- SoC and Emerging Markets
- Robots: The New Technology Driver

- 初めに
- アーキテクチャの革新
- ロボット:新しいテクノロジー・ドライバー

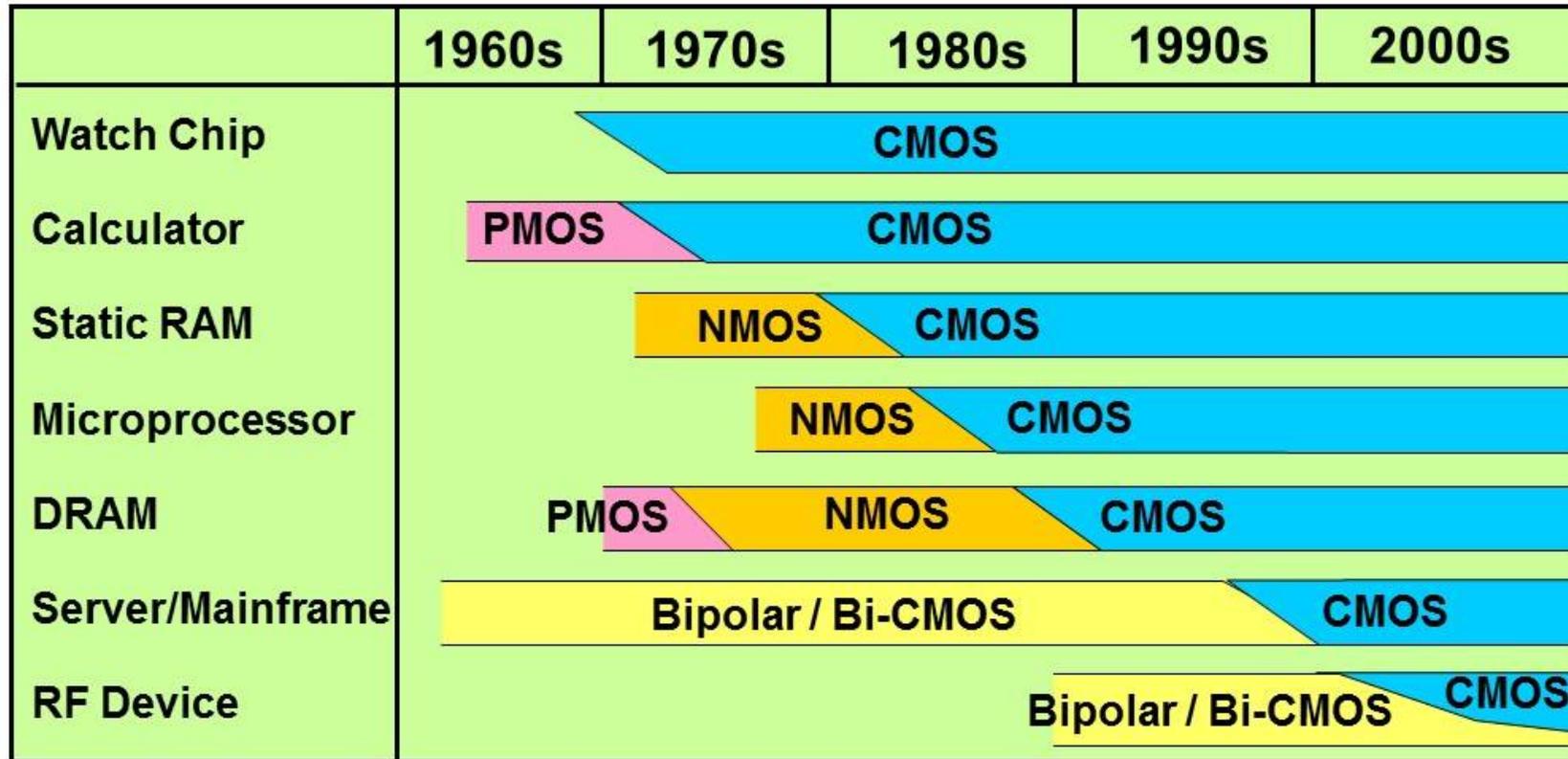
- これまでの歴史
- SoCと新市場

Trends in Supply Voltage



ローパワーを実現するには電源電圧を下げるのが最も重要である。1960年代の電源電圧は24Vであった。70年代に5Vとなり、90年代の初めまで標準の電源電圧となった。その後次第に低下を続けており、講演の時点では1.8Vから1.2Vへと移行していた。ITRSでは今後さらに0.6Vまで低下するものと予測している。

History of CMOS Convergence



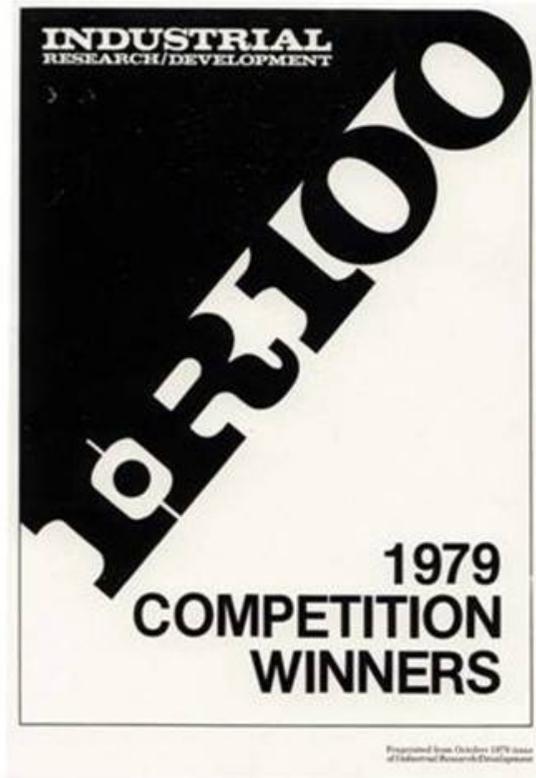
ローパワー技術の決め手となっているCMOSがどのように広がったかを示す。当初は時計や電卓など低速／ローパワーの分野に限られていた。高速分野にも広がったのは、70年代末に高速SRAMのCMOS化に成功してからである。90年代にはメインフレームにもCMOSが使われ、小から大までほとんどのIT機器にはCMOSが使われるようになった。

NMOS vs. CMOS for SRAM

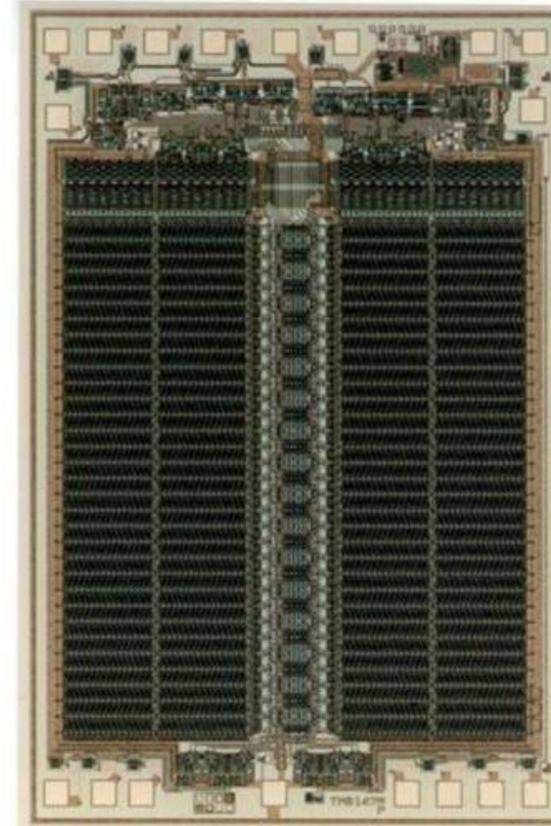
	2147 / Intel (1977)	6147 / Hitachi (1978)
Product	HMOS 4K Static RAM	HiCMOS 4K Static RAM
Technology	NMOS	Twin-Well CMOS
Speed	55 / 70 ns	55 / 70 ns
$I_{\text{Active}}/I_{\text{Standby}}$	110 mA / 15 mA	15 mA / 0.001 mA
Chip Size	16.2 mm ²	11.5 mm ²

この表は高速分野においてもCMOSが有利であることを示した歴史的な資料である。70年代後半、NMOS技術を使ったインテルの4KビットSRAMは世界最高速を誇っていた。日立ではツインウエルCMOS技術を開発し、ローパワー特性を生かしつつ、インテル製品と同等のスピードを達成した。これによって半導体の将来技術はCMOSであることが示された。

HM6147: 4K Static RAM (Hitachi)



Source: Hitachi Ltd.



Chip Size: 2.7mm x 3.95mm

将来の主流はCMOSになることを示した日立の4KビットSRAMは1979年のIR100賞を受賞した（この賞は、Industrial Research Development社より、毎年100件の優れた新製品に与えられていた）。この製品が画期的な製品であったことを示している。右にはチップ写真を示す。

NMOS vs CMOS for Microprocessors

		6801 / Hitachi (1979)	6301 / Hitachi (1981)
Product		8bit MPU	8bit MPU
Technology		4 Micron NMOS	3 Micron CMOS
Speed		1 MHz	1 MHz, 1.5MHz, 2MHz
Power	Active	900 mW	30 mW (f = 1MHz)
	Standby	70 mW	0.01 mW
Pin Count		40 Pins	40 Pins

この表は8ビットMPUについてNMOS版とCMOS版の性能を比較したものである。機能やピン配置などは全く同じ互換製品である。CMOS版のスピードはNMOS版と同等以上であり、パワーは動作モード、スタンバイモードともに桁違いに小さい。ロジック製品についてもCMOSの優位性が証明され、CMOS化の流れを加速することになった。

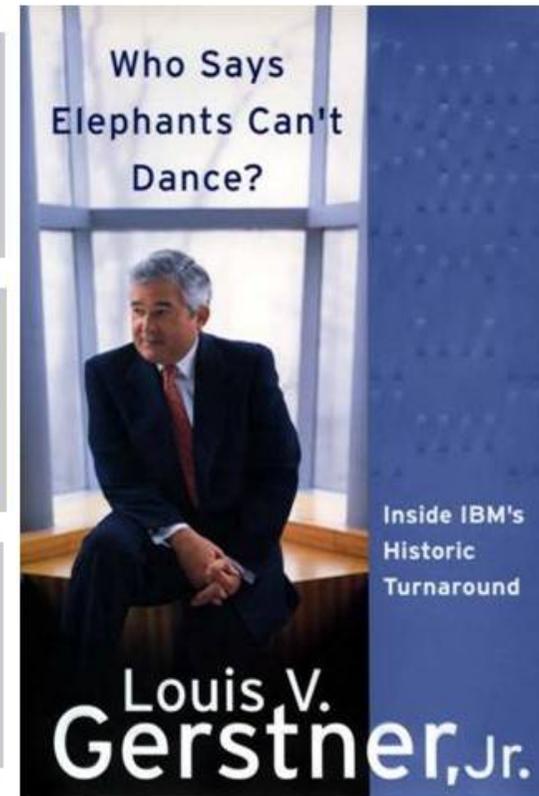
Change in Mainframe Architecture

- IBM's sales of mainframe was declining because of a precipitous drop in market share.

-The technical team made a bold move to a totally different architecture: **from bipolar to CMOS.**

- Had we not made the decision to go with CMOS, we'd have been out of the mainframe business by 1997.

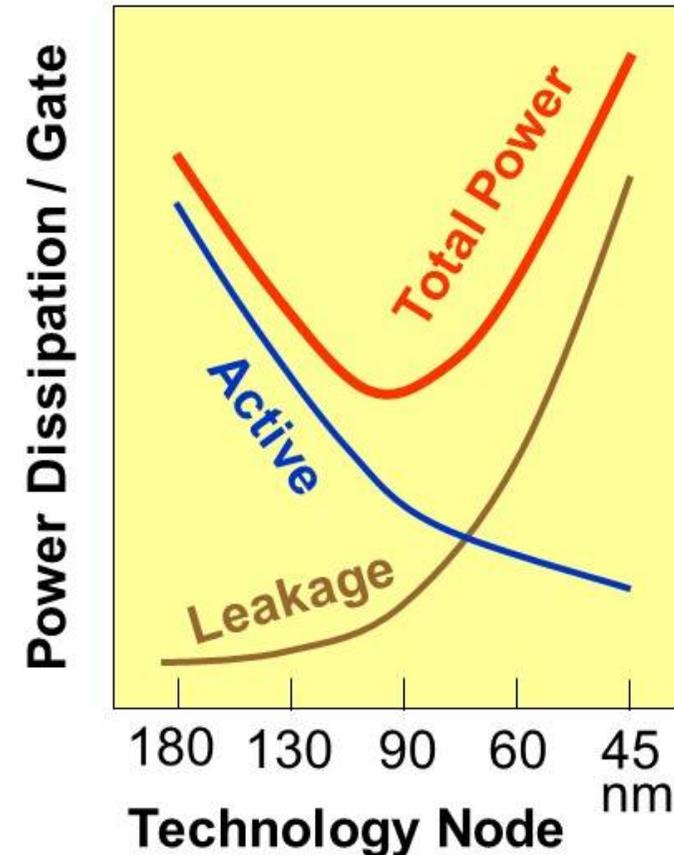
Source:HarperBusiness, 2002



講演の前年に、IBMの元CEOのガースナー氏が「巨象も踊る」と題する自叙伝を出版した。その中に、CMOSに転換するという決断によってIBMのメインフレーム事業が救われたと述べている。経営幹部がCMOSの重要性に触れている事例は珍しく、IBMにとっても大きな決断であったことが窺われる。

Future Challenges

- **Process/ Device**
 - ★ High K Gate Material
 - ★ Multi Threshold Voltages
- **Circuit/ System**
 - ★ Gated Clock
 - ★ Partial Power Off
 - ★ Total Power Management
- **Strong Teamwork of Multidisciplinary Engineers**



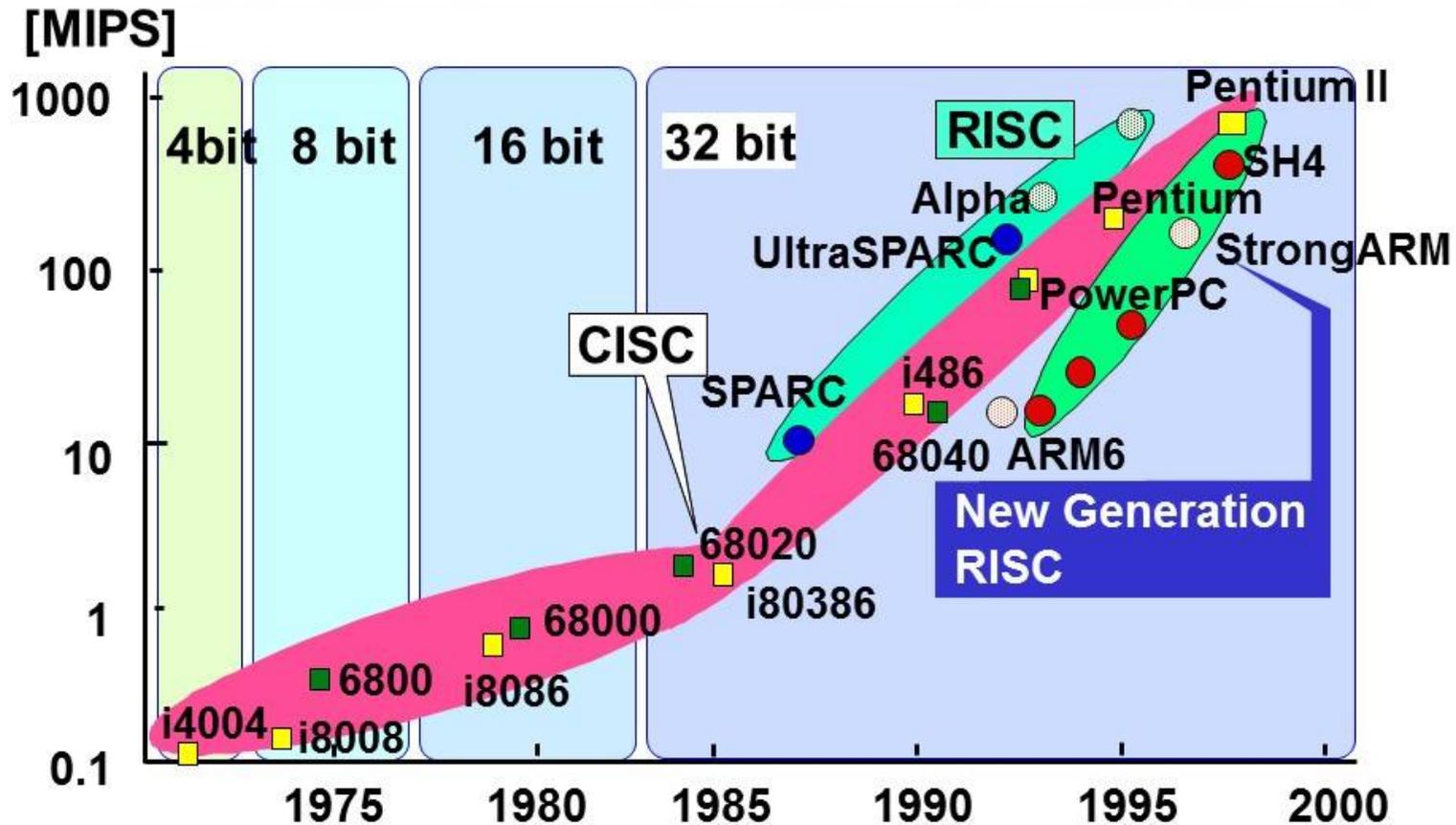
ローパワー技術の将来に向けての課題を示す。右図は微細化と共に、アクティブ・パワーは減少するが、リーク電流の増大によってスタティック・パワーは増大することを示す。トータル・パワーを如何に抑えるかが課題である。プロセス・デバイス面と回路システム面からの対策が必要であり、技術の枠を超えたチームワークがもっとも重要である。

Outline

- Introduction
- Historical Review
- Architectural Innovation
- SoC and Emerging Markets
- Robots: The New Technology Driver

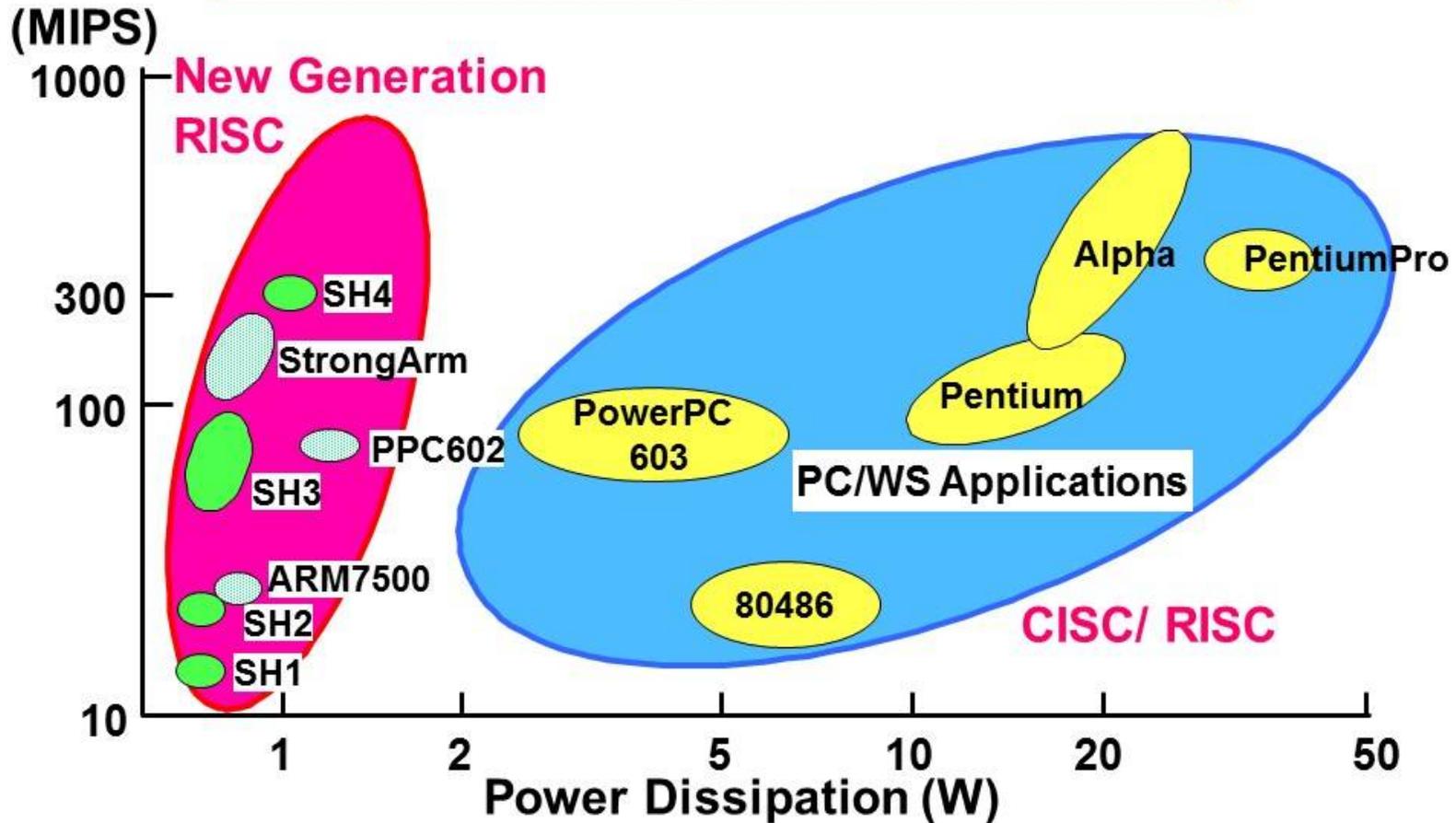
- 初めに
- **アーキテクチャの革新**
- ロボット: 新しいテクノロジー・ドライバー
- これまでの歴史
- SoCと新市場

Progress of Processor Architectures



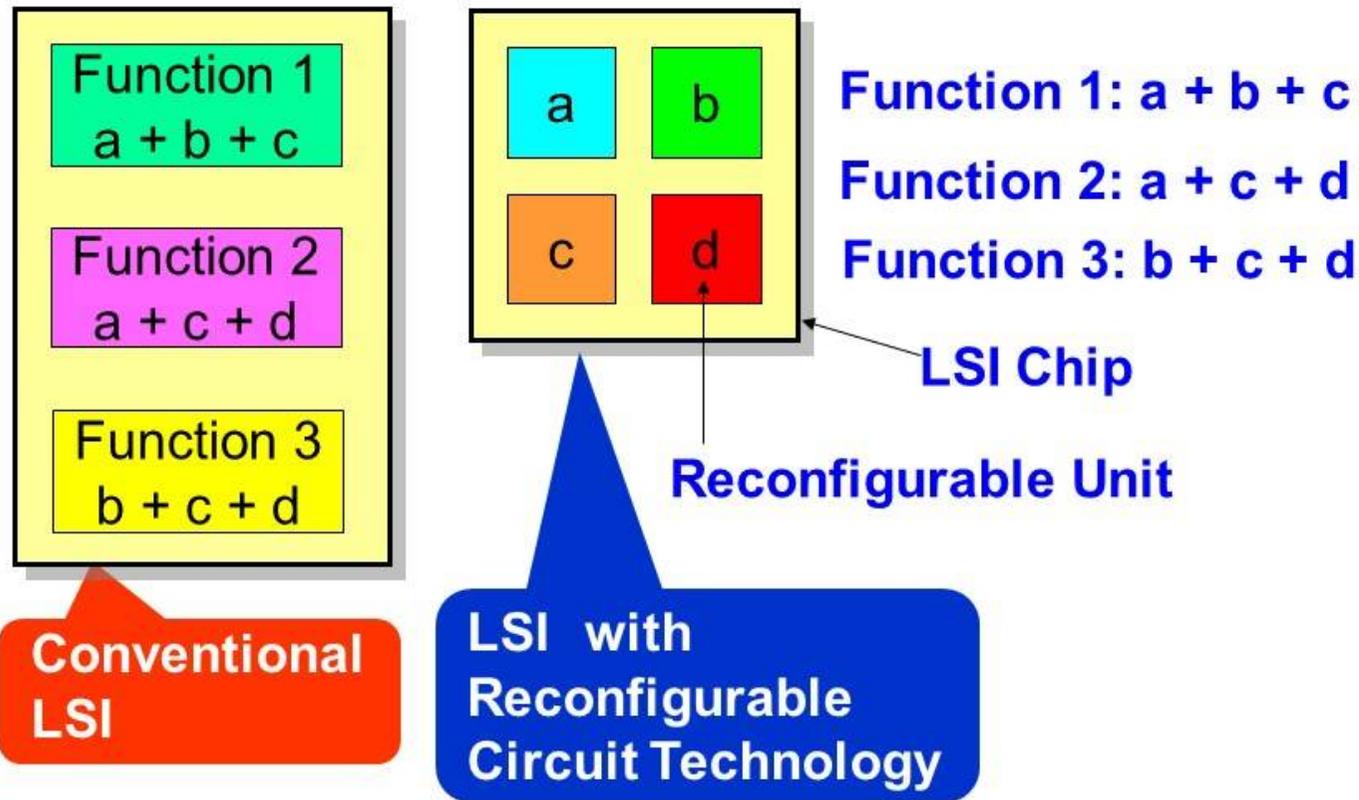
MPUのアーキテクチャの進化の歴史を示す。70年代以降、MPUの主流はCISCアーキテクチャであった。80年代後半にはRISC型が導入され、高性能機器に使われた。90年代半ばにRISC型のリエンジニアリングによって、ARMやSHなど、「ローパワー且つ高性能」のMPUが製品化され(新型RISC)、新しい応用分野が次々に開発されていった。

MIPS vs. Watts



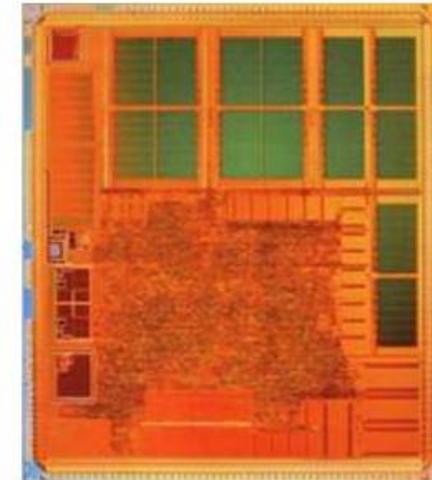
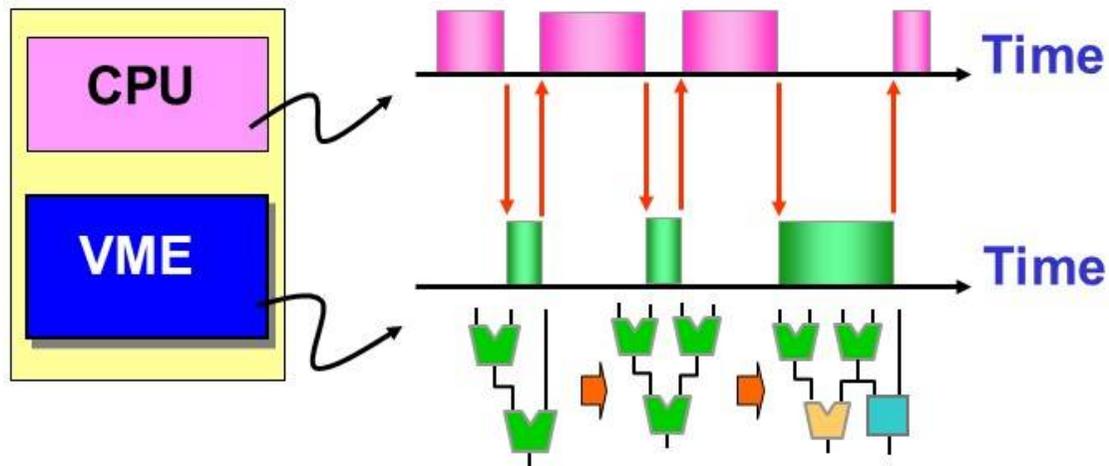
従来のMPU開発においては如何にして性能(MIPS値)を高めるかが課題であった。これからの応用分野(モバイル製品など)においては性能改善と同時にパワーの低減が重要である。新型RISCのMPU(SH系やARM系)ではその線に沿っての製品展開が進められている。ポストPC時代の中心となるのは新型RISCになるだろう。

Concept of Reconfigurable Architecture



図はリコンフィギュラブル・システムの概念を示す。左の図は従来方式であり、異なる機能(1, 2, 3)をハードワイヤ方式で構成している。右図はリコンフィギュラブル方式であり、基本ブロック(a,b,c,d)の組み合わせを変えることによって、異なる機能(1, 2, 3)を実現できる。基本ブロックは1個だけあればよいので、パワーもチップ面積も最小にできる。

Sony's "Virtual Mobile Engine™"



(Logic Function Dynamically Changed)



**VME --- a Powerful Engine
for Heavier Tasks**

**CPU with
Embedded
"Virtual Mobile
Engine™"**

リコンフィギュラブル・システムの実例として、ソニーのVME(バーチャル・モバイルエンジン)を紹介する。チップは左に示すようにCPUとVMEのコンビで構成されている。通常のタスクにはCPUが対応するが、重いタスクにはVMEが対応する。タイム・チャートにあるように、VMEの回路構成はタスクによって変わることができ、ローパワーながら重いタスクがこなせる。

World's Smallest Network Walkman

Chip Configuration	One CPU with Embedded "Virtual Mobile Engine™"
Decoding Power Dissipation for ATRAC3	Ultra Low Power: 4mW (Less than 1/4 compared to DSP)
Feature	Programmable: ATRAC3/ ATRAC3plus/ MP3



- 11 CDs Recordable
- 33 Hours Non-stop Play
- Storage Media: MagicGate Memory Stick-Duo

VMEを使った世界最小のネットワーク・ウォークマンの紹介である。チップにはCPUとVMEが搭載されている。デコーディング時のパワーは4mWで、普通のDSPにくらべて1/4以下である。CD11枚分の記憶ができ、33時間ノンストップで音楽が楽しめる。

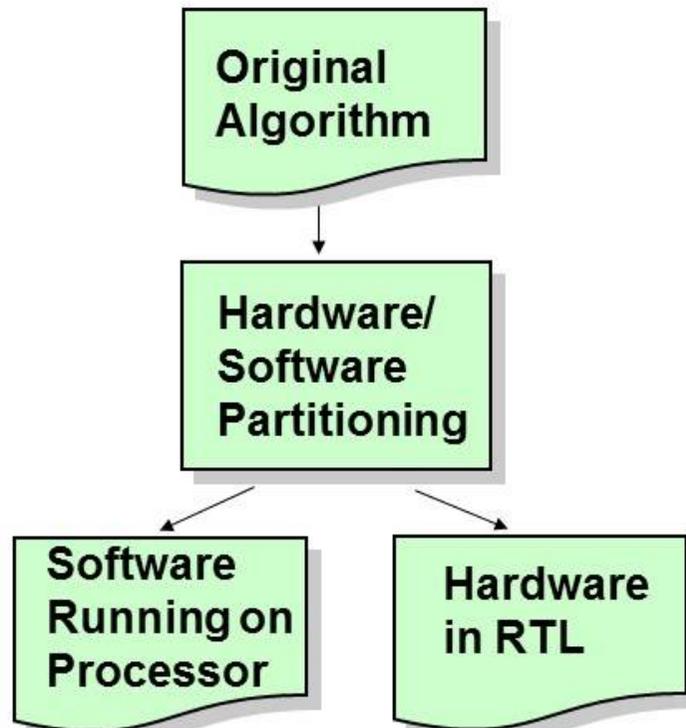
Power Reduction at Algorithmic Level

Vendor	Tool	Features
ASC	PACIFIC	Behavior Synthesis and Power Reduction Based on Input Vector
Chipvision	ORINOCO	Optimizes Memory Access and Date Processing Based on C Code Analysis
Power Escape	Power Escape Analyzer, Power Escape Optimizer	Identifies Memory Access Bottleneck in C Code, then Optimizes Algorithm

アルゴリズムのベースでパワーを低減する方法も開発されており、ASC社、チップビジョン社、パワーエスケイプ社などからソフトウェア・ツールが販売されている。右の欄には夫々の製品の主な特長が示されている。

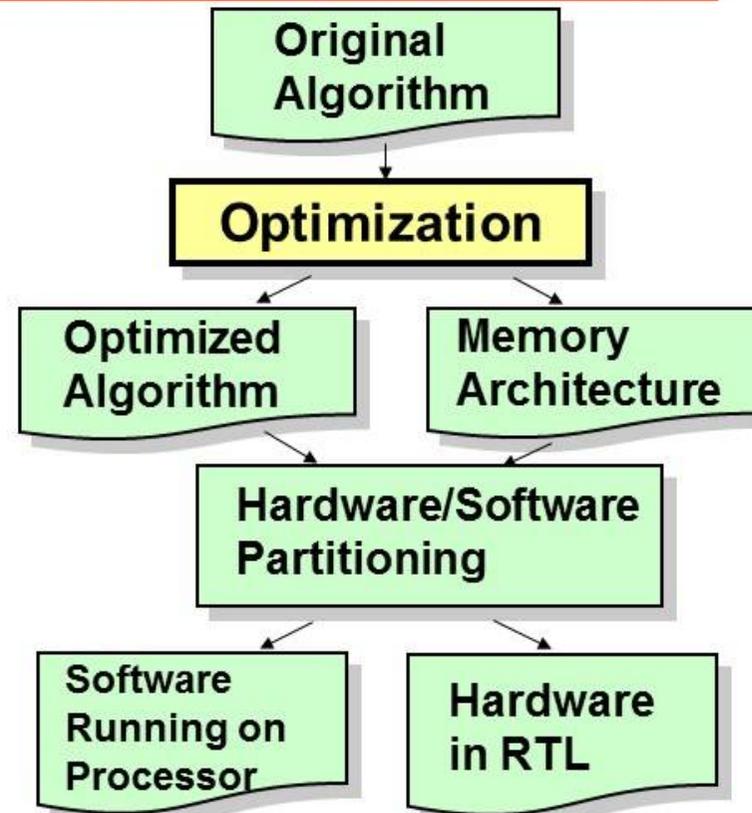
Concept of “Power Escape”

Today's Approach



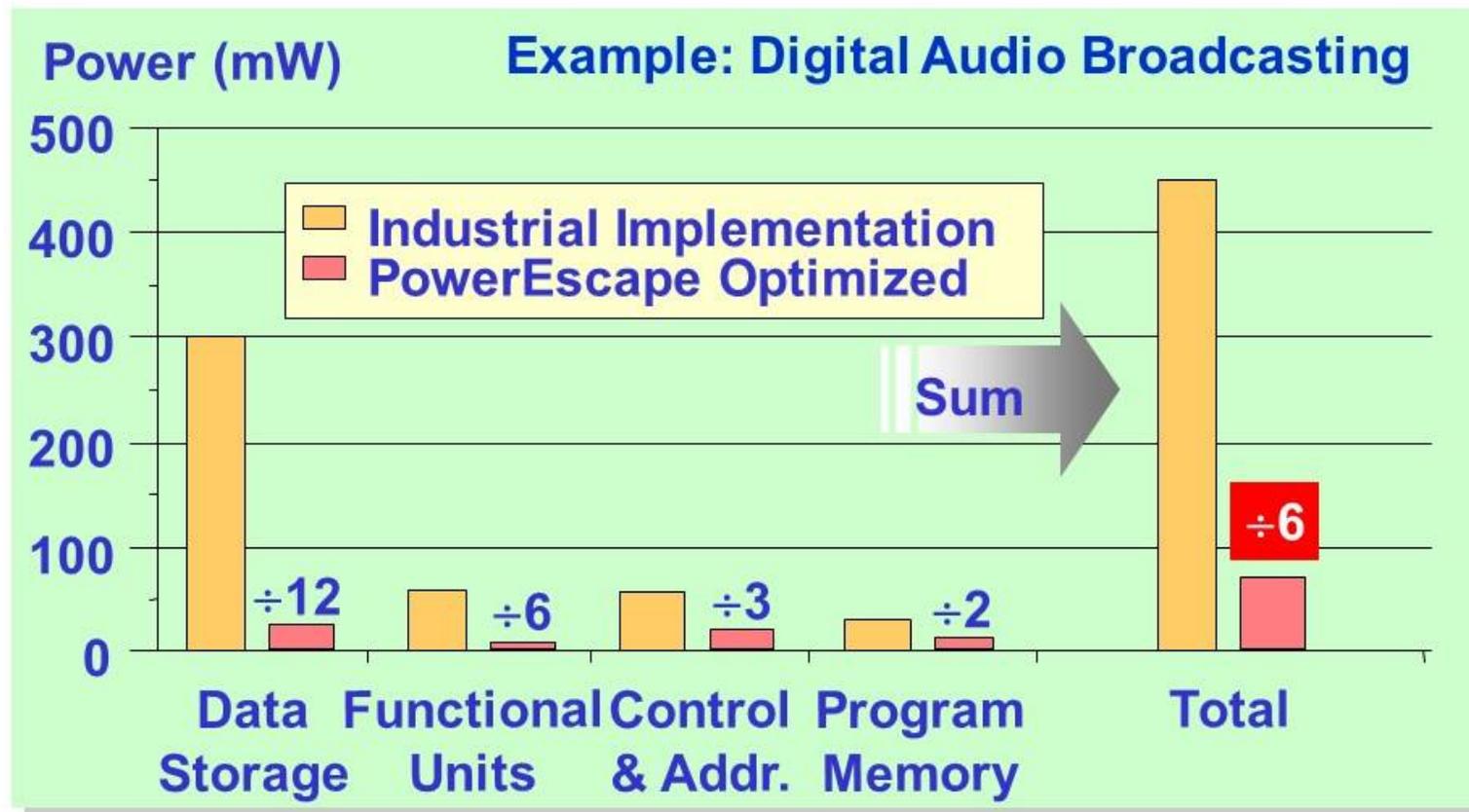
Source: Power Escape

Power Escape's Approach



左は通常のSoCの設計フローであり、アルゴリズムのオリジナル版を基にしてハード／ソフトのパーティショニングが行われる。一方、右のパワーエスケイプの場合は、オリジナル版の「最適化」を行ってから、ハード／ソフトのパーティショニングに進む。

Results of “Power Escape” Concept



Source: Power Escape

この図はパワーエスケイプ社のソフトによって「最適化」を行った場合の効果を示す。左の棒グラフ(茶色)はオリジナル版を使った場合の消費電力であり、右(赤色)はパワーエスケイプ社のソフトで「最適化」を行った場合である。トータルとして消費電力は1/6に低減されたことを示している。ソフトによるアルゴリズムの最適化の重要性を物語っている。

Outline

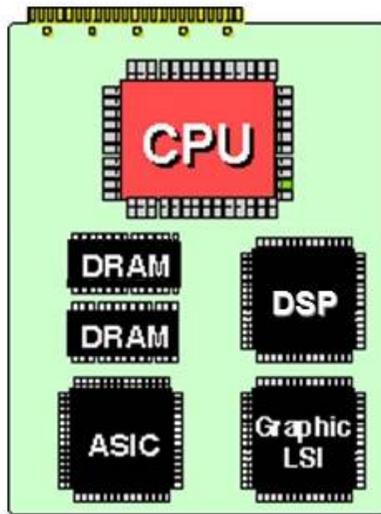
- Introduction
- Historical Review
- Architectural Innovation
- SoC and Emerging Markets
- Robots: The New Technology Driver

- 初めに
- アーキテクチャの革新
- ロボット: 新しいテクノロジー・ドライバー

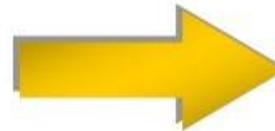
- これまでの歴史
- SoCと新市場

SoC: System on Chip

SoB

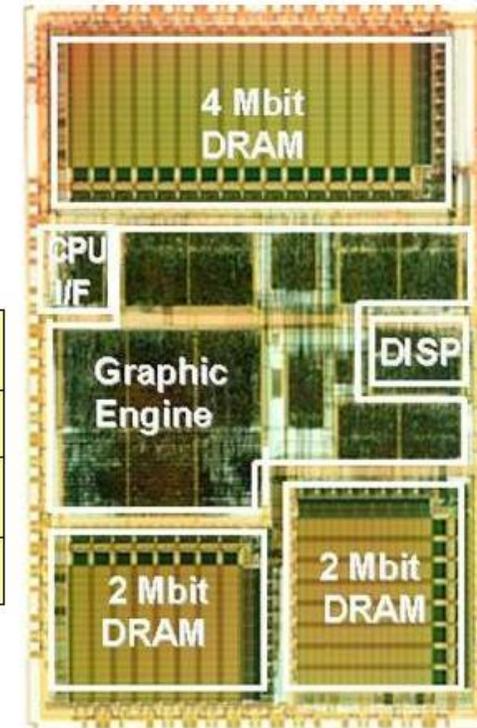


3-D Graphics Engine



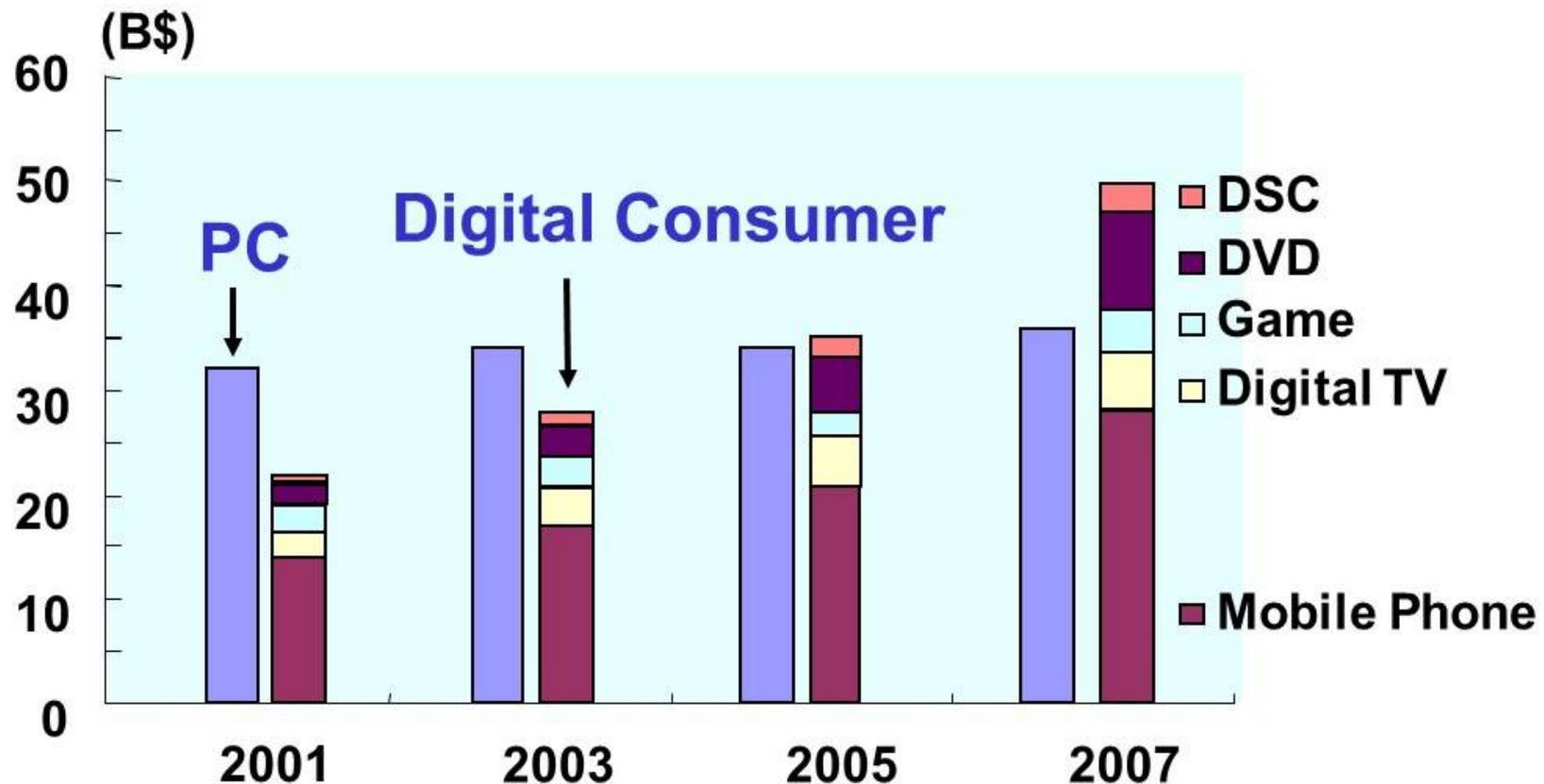
	SoB	SoC
Performance	x1	x4
Power	x1	x1/5
Chip Counts	x1	x1/4

SoC



この図は3DグラフィックエンジンのSoB(System on Board)とSoCの比較である。いずれも同じ機能が搭載されている。SoBからSoCにシフトすることによって、性能は4倍、パワーは1/5、チップ数は1/4と大幅な改善がなされることを示す。

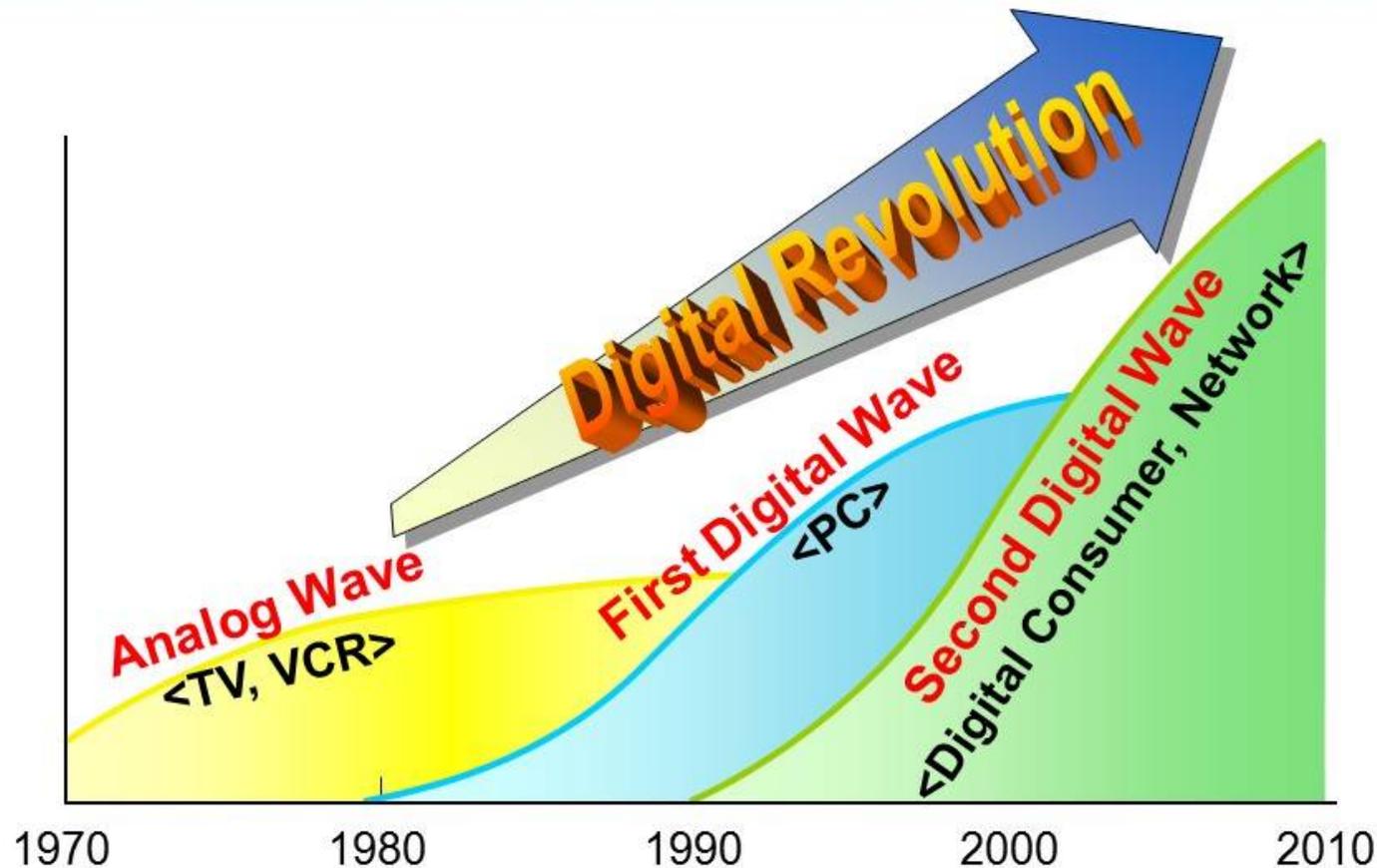
Growing Digital Consumer Market



Source: Future Horizons

SoCはデジタル・コンシューマ製品にとって不可欠のデバイスであり、両者は相乗効果を伴いながら伸長している。「ローパワーで高性能」を必要とする携帯電話を中心に、2005年にはPCの市場規模を凌駕するだろう。これからの半導体市場を牽引するのはデジタル・コンシューマ製品であり、それを支えるデバイスはSoCである。

Rising Wave of Second Digital Revolution



この講演の3年前(2000年)に、「デジタル第2波」と称するコンセプトを発表し、図に示すように2000年代半ばまでには「デジタル第1波(PC)」を凌駕するだろうと予測した(第6展示室に掲載)。SoCとの相乗的な効果によって、市場はその予測に沿った形で動いている。

Outline

- Introduction
- Historical Review
- Architectural Innovation
- SoC and Emerging Market
- **Robots: The New Technology Driver**

- 初めに
- アーキテクチャの革新
- ロボット: 新しいテクノロジー・ドライバー
- これまでの歴史
- SoCと新市場

Brief History of Robots

1960 ~ 70

**First Generation Robot
Based on Playback System**

1970 ~ 80

**Second Generation Robot
Based on Sensors**

1980 ~

**Third Generation Robot to Work
in Unstructured Environments**

1990 ~

**Fourth Generation Robot
to Coexist with Human Beings**

ローパワー・エレクトロニクスのこれからのドライバーはロボットになるだろう。ロボットは半導体の進歩に合わせてたゆまない進化を遂げてきた。60年代のプレイバック・システム(第1世代)、70年代のセンサーベース・ロボット(第2世代)、80年代以降の不規則環境で働くロボット(第3世代)、90年代以降の人間と共存するロボット(第4世代)。これからもさらに進化する。

Sony's Humanoid Robot

(SDR-3X)



(SDR-4X)



- SDR: Sony Dream Robot
- Project Started in 1997
- SDR-3X Demonstrated in 2000
- SDR-4X Demonstrated in 2002



**Sony's Biped Robot Pioneers:
T. Ishida(Left) and Y.Kuroki(Right)**

ソニーで開発した人型ロボットSDRを紹介しよう。SDRはソニー・ドリーム・ロボットの略である。1997年に開発が始まり、2000年にSDR3X、2002年にSDR4Xが完成した。歩く、走る、踊る、話すことの他に、倒れても起き上がることができる。このプロジェクトのリーダーは石田氏と黒木氏で二人は早稲田大学の同窓である。

Chips & Sensors for Robots

VLSI chips

64bit CPU x 3
16bit MCU x 29
DSP x 23
ASIC x 4
FPGA x 3
DRAM 192MB
Flash 16MB

CCD color camera x 2

Microphones x 7

Angular rate sensor x 1

Acceleration sensor x 3

Force sensor x 8

Pinch Detection Sensor x 18



IR distance sensor x 3

Speaker x 1

Thermo sensor x 28

Touch sensor x 8
head,
hands,
shoulders

(SDR-4X)

SDR4Xに使われているLSIとセンサーを示す。自律型ロボットでは周囲の状況をセンサーで把握した上で、適格に判断することが要求される。このロボットでは全部で79個のセンサー類が使われている。また、LSIの処理能力は当時のPCと同等かそれ以上である。ロボットは電池動作のため、ローパワー化は必須であり、これからのテクノロジー・ドライバーになるだろう。