

99(5) C 23 ①, ②  
(99(5) E 2)  
(99(5) E 3)

特 許 庁  
特 許 公 報

特 許 出 願 公 告  
昭 42-21446  
公 告 昭 42.10.23  
( 全 7 頁 )

半 導 体 装 置

特 願 昭 39-7388  
出 願 日 昭 39.2.13  
発 明 者 大野稔  
小平市上水本町1450株式会社  
日立製作所武蔵工場内  
同 川地陽二  
同 所  
同 桃井敏光  
同 所  
出 願 人 株式会社日立製作所  
東京都千代田区丸の内1の4  
代 表 者 駒井健一郎  
代 理 人 弁理士 高橋明夫

図面の簡単な説明

第1図は一般のプレーナ・トランジスタを示す縦断面図、第2図は本発明の原理を説明するための電界効果型トランジスタの一部断面斜視図、第3図は従来および本発明装置の特性を示す略線図、第4図および第5図は従来装置および本発明の一実施例の特性図である。

発明の詳細な説明

本発明は絶縁物被膜を有する半導体を利用した半導体装置およびその製造方法に関するものである。

一般の半導体装置は湿気等の外気雰囲気に対して極めて敏感でありその影響を受けて容易に特性の変化を引き起こし易い。これらの欠点を除くため耐湿性がありかつ化学的に安定な絶縁物例えば二酸化シリコン(SiO<sub>2</sub>)等の酸化物を半導体表面に設けることが考えられこれらを利用した半導体装置としてプレーナトランジスタ等が知られている。ところが前記したような酸化物絶縁被膜は、該被膜に接する半導体基体表面の導電型をN型に変化させようとする傾向を有することが知られており、これはチャンネル効果と称されている。このような現象は表面漏洩電流を増加させる等の好ましくない結果をもたらすのでこの現象を抑制する方法が要求されていた。例えば第1図に示すような一般のプレーナトランジスタにおいてP型シ

リコン基板1上にSiO<sub>2</sub>皮膜2を形成すると該被膜2直下の半導体1表面にはチャンネル効果によつてN型反転層3が生じ、これが基板全表面にわたつて拡がりトランジスタのコレクタ遮断電流I<sub>co</sub>の増加等の障害を引き起こしていた。一方この現象を有利に利用して前記チャンネル効果によつて生じた表面反転層を電流通路(チャンネル)として用いた絶縁ゲート型電界効果トランジスタが提案されたが、このようなトランジスタにおいては、ソースおよびドレイン間を結ぶチャンネルを流れる電流を遮断するのに要するゲート電圧すなわちスレショルド電圧は高い値を持っていた。従つてこのスレショルド電圧を小さくする方法が要求されていた。

このような課題を解決するために本発明者等は特願38-28767(特公昭41-3418)「半導体装置の製造方法」において半導体基体表面を覆う絶縁物被膜に電界を加えつつ熱処理を施す方法を提案した。

前記チャンネル効果は絶縁物被膜中に存在する陽イオンに基づくものと考えられ、この陽イオンが該被膜に接する半導体基体表面部分に電子を引き寄せ、該部にn型傾向を付与する。前記出願で提案された方法は絶縁物被膜中の前記イオンの分布を変え、もつて半導体基体表面に誘起される電子すなわちキャリアの密度を制御するものである。ところが前記出願においても述べたように本発明者等は制御し得るキャリアの表面密度に最小値が存在することを見出した。このことは電界効果型トランジスタにおいてはゲート電圧零の時にドレイン電流がある値よりも小さくならないということの意味し、従つて常にあるドレイン電流値を基にして電流が制御されるので、電圧感度のかんばしくない相互コンダクタンスの低い素子しか得られないことになる。

なお前記表面キャリア密度は等価的に不純物イオンの密度に換算することができる。すなわち絶縁膜によつて半導体表面に誘起されたキャリア電子の密度は等価的にドナーイオンの密度に換算することができる。従つて以下においては表面ドナー密度はドナーイオンの密度に換算した時のキャリア電子の表面密度を意味する。

さらに絶縁ゲート型電界効果トランジスタにお

いては前記チャンネルの厚さが1ミクロン程度と極めて薄いためキャリアの易動度が、充分な拡がりを持つ固体中における値よりも大幅に低下する。これは高周波動作において不利である。

従がつて本発明の目的は絶縁物被膜によつて覆われた半導体基体表面の前記絶縁物被膜によつて誘起されるキャリアの表面密度の最小値をさらに小さくし得た半導体装置を提供するにあり、これによつてプレーナトランジスタの表面漏洩電流を減少させ、またスレショルド電圧が小さく、相互コンダクタンスが高い電界効果型トランジスタを実現させるものである。

さらに本発明の目的はキャリア易動度の大きい、従がつて高周波特性の改善された絶縁ゲート型電界効果トランジスタを提供するにある。

さらに本発明の目的は経時変化の少ない極めて信頼度の高い半導体装置を提供するにある。

そして本発明は半導体基体表面が絶縁物被膜で覆われて成る半導体装置において、前記被膜で覆われた前記基体の表面は{100}面、{110}面あるいはそれらの面の近傍の面に平行な結晶面を有し、該面の表面キャリア密度は到達し得る最小の値を有することを基本的特徴とする。

周知のごとく半導体基体表面を覆う酸化物絶縁被膜上に金属層を形成して金属層、酸化物被膜および半導体基体によつていわゆるMOSキャパシタを構成し、そのMOSキャパシタに加える直流電流に微小振幅の交流電流を重畳し交流に対するインピーダンスの変化を測定することにより表面キャリア密度を知ることが可能である。従がつて以下の実施例においてはこの測定が容易な絶縁ゲート型いわゆるMOS型電界効果トランジスタを例にとつて本発明の説明を行う。

第2図に示すようにP型Si基板1上にSiO<sub>2</sub>被膜2を成長せしめ該絶縁被膜2上に金属電極3を設ける。この際SiO<sub>2</sub>被膜2を設けることによつて基板表面上にはチャンネル層4が誘起される。また上記基板1の中にN型領域5を形成しおのおの端子電極6および7を取付ける。この状態で端子6および7間のコンダクタンスGを測定する。ここにおいてコンダクタンスGは次の式で表わされる。

$$G = (q \cdot N_{DS} - Q) \mu d \cdot \frac{W}{L} \quad (1)$$

q : 電子電荷      N<sub>DS</sub> : 表面ドナー数

Q : 電極3の電荷      μd : 表面の電子移動度

Qは外部より与えた電荷でありQ=0の時には、

$$G = q \cdot N_{DS} \cdot \mu d \cdot \frac{W}{L} \cdot \text{となり表面ドナー数}$$

N<sub>DS</sub>に比例する。ゲート電極3に電圧V<sub>G</sub>を加えると

$$V_G = V_{GO} \text{ において } q \cdot N_{DS} = Q \quad (2)$$

となりG=0となる。

$$\text{この時 } Q = V_{GO} \cdot C_G \quad (3)$$

C<sub>G</sub> : ゲート電極の静電容量

の関係にあり(3式よりQを求めることができる。よつてQ=0, q·N<sub>DS</sub>=Q, Q=V<sub>GO</sub>·C<sub>G</sub>より表面ドナー数N<sub>DS</sub>は次のようになる。

$$N_{DS} = V_{GO} \cdot C_G / q \quad (4)$$

で表わされる。

上述のごとき式に基きまず{111}面結晶に比し{110}あるいは{100}面結晶の優位性を明らかにするため、次に示すシリコン単結晶を用いて、それぞれ電界効果型トランジスタを製造した場合について述べると、第2図に示すようなP型Si比抵抗100Ω·cmの結晶1を用いて該結晶1上に約1500ÅのSiO<sub>2</sub>被膜2を成長せしめさらにその上にアルミニウムを蒸着してゲート電極3とする半導体結晶1表面にはチャンネル層4が生じている。さらに結晶1に7μの間隔をもつて長さ1600μ、深さ約10μのN型領域5を形成しおのおのソース電極6およびドレイン電極7を設ける。N型領域5はチャンネルに対しオーミック接触をなすためのものである。かくのごとくして得られた電界効果型トランジスタのそれぞれのチャンネル層4の表面ドナー数N<sub>DS</sub>を小ならしめるためにソース電極6(あるいはドレイン電極7)とゲート電極3との間に5Vの直流電圧をソース電極6が⊕となる極性に接続する。さらに電圧を印加しながら350℃で2時間加熱処理を施すとチャンネル層4の表面ドナー数N<sub>DS</sub>は処理前に比べて著しく減少するのが確かめられ最少ドナー数に帰着する。上述の処理を施した電界効果トランジスタのゲート電圧V<sub>G</sub>とコンダクタンスGとの間の関係をグラフにとると第3図に示すようになる。同図においてaは{100}、bは{110}、cは{111}面を使用したものである。表面の電子移動度μdとの関係をも含めてその結果を表わすと第1表のようになる。なお第3図におのおのにはそれぞれ3本の曲線が示されているがそれらは各試料集団から3個ずつ抽出して測定した結果であり、一方第1表は各試料集団の平均値を示している。

第 1 表

定数 結晶面	$V_{GO}$	$N_{DS} \text{ min}$	$\mu d$
111	-5.5 V	$8.3 \times 10^{11} / \text{cm}^2$	$150 \text{ cm}^2 / \text{V} \cdot \text{sec}$
110	-3.3 "	$5.0 \times 10^{11} / "$	$320 \text{ cm}^2 / \text{V} \cdot \text{sec}$
100	-2.3 "	$3.5 \times 10^{11} / "$	$530 \text{ cm}^2 / \text{V} \cdot \text{sec}$

上述より明らかのようにコンダクタンス  $G$  が零の時のゲート電圧  $V_{GO}$  の値は {111}, {110}, {100} 面結晶の順に少くなっている。この  $V_{GO}$  は前記した(4)式より明らかのように表面ドナー数  $N_{DS}$  に比例しているので  $V_{GO}$  が小さいことは  $N_{DS}$  が小さいことを意味している。従つて上記三種類の結晶チャンネル層4の表面ドナー数  $N_{DS}$  の値は上記した順で少くなっているのがわかる。また電子移動度  $\mu d$  が大きいことは、ゲート電圧変化に対するコンダクタンス変化の大きいこと即ち電圧感度が大なることを意味しており、特に MOS 型の電界効果型トランジスタを製造する上に有利である。以上の実験から {110} 面あるいは {100} 面結晶を半導体装置として用いた方が {111} 面の半導体装置に比べて、優れた特性および効果を示すことが解釈できるであろう。

次に本発明のさらに具体的な実施例について説明し、詳細に比較する。従来使用されている {111} および本発明に供される 100 面結晶を有する二種類のシリコン基板 1 を用意する。おのおの基板 1 は  $4 \Omega \text{ cm}$  の P 型と成したものとする。第 2 図のように該結晶 1 を用い水蒸気を含む雰囲気中で加熱し、約  $1000^\circ \text{C}$  で 20 分間処理して約  $1500 \text{ \AA}$  の  $\text{SiO}_2$  膜 2 を形成する。

これによつて  $\text{SiO}_2$  膜 2 直下にはチャンネル層 4 が生じている。上記  $\text{SiO}_2$  膜 2 上にはアルミニウムを上着してゲート電極 3 とする。該ゲート電極 3 の寸法は  $L=5 \mu$ ,  $W=1600 \mu$  である。結晶 1 中に、さらに  $7 \mu$  の間隔をもつて長さ  $1600 \mu$ 、深さ  $10 \mu$ 、比抵抗  $0.5 \Omega \text{ cm}$  程度の N 型領域 5 を形成せしめる。これらにはおのおのソース電極 6 およびドレイン電極 7 を接続する。かくして得られた素子に対してソース電極 6 (あるいはゲート電極 7) が  $\oplus$ 、ゲート電極 3 が  $\ominus$  となる極性で 5 V の直流電圧を印加しつつ  $350^\circ \text{C}$  で 1 時間以上の加熱処理を施す。処理はチャンネル層 4 の表面ドナー数が最少になるまで続けられる。この直流印加電圧、加熱温度および処理時間

は一例であつて、直流印加電圧を上昇すれば処理時間は短くてよい。加熱温度はシリコン基板に処理を施す場合は少なくとも  $75^\circ \text{C}$  以上に加熱しておかないと表面ドナー数を最少にすることはできない。要するに、この処理の上記三つの因子はチャンネル層 4 の表面ドナー数を少なくするような組合せであれば良いのである。この結果表面ドナー数  $N_{DS}$  の最少値は前記第 1 表に掲げられたように結晶面によつて異なつた値が得られる。またこれらの値は一定限度値より少なくなならない。即ち前記(4)式より計算した結果では {111} 面では表面ドナー数  $N_{DS}$  は  $5 \times 10^{11} \text{ 個/cm}^2$ 、{100} 面の場合は  $2 \times 10^{11} \text{ 個/cm}^2$  程度となる。両者の表面ドナー数  $N_{DS}$  の比を採つてみると本発明に供された {100} 面結晶では従来の {111} 面結晶の  $1/2.5$  になる。第 4 図および第 5 図に従来および本発明の MOS 型電界効果型トランジスタの特性を示す。第 5 図から明らかなように本発明によれば異なる  $V_G$  におけるおのおのの曲線間の間隔がずつと広がる。このことは本発明が従来のものよりも相互コンダクタンス  $g_m$  が増加することを示しており、高利得のものが得られる。また電流電圧特性曲線のドレイン電圧の低電圧領域での立上りが従来のものに比して鋭く、従つて高感度のもものが得られることは言うまでもない。さらに本発明においては表面キャリア密度は到達し得る最小の値に保たれており、この状態は非常に安定であり信頼度の高いものが得られる。また各素子を最小表面キャリア密度の状態におくことにより各素子間のバラツキを極めて小さくすることができる。以上のことから、本発明にかかる {110} 面または {100} 面結晶を絶縁被膜で半導体表面が保護された半導体装置に用いることは極めて有利なことは充分理解できよう。

本発明の思想は電界効果型トランジスタに限定されることなくプレーナートランジスタに適用した場合においては表面キャリア密度を極めて小さくすることができるので  $I_{CO}$  の値を著しく減少

し得、電気的特性が良好かつ安定なものを得ることができ。また本発明はその他にも MOS 型ダイオードに適用しても同様な効果があることは勿論である。

さらに上記実施例においては半導体基体としてシリコンを用いた場合について説明を行ったが、本発明は絶縁物に接する半導体原子の結合手の角度およびその密度に関連したものであるから、シリコンと同じダイヤモンド構造を有する半導体であればシリコンの場合と全く同様に適用し得るものである。

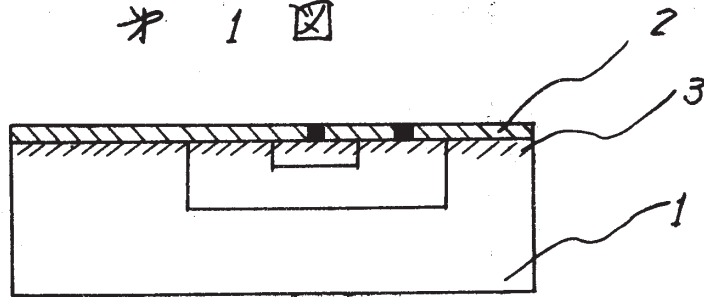
#### 特許請求の範囲

1 半導体表面の少なくとも一部が絶縁物被膜で

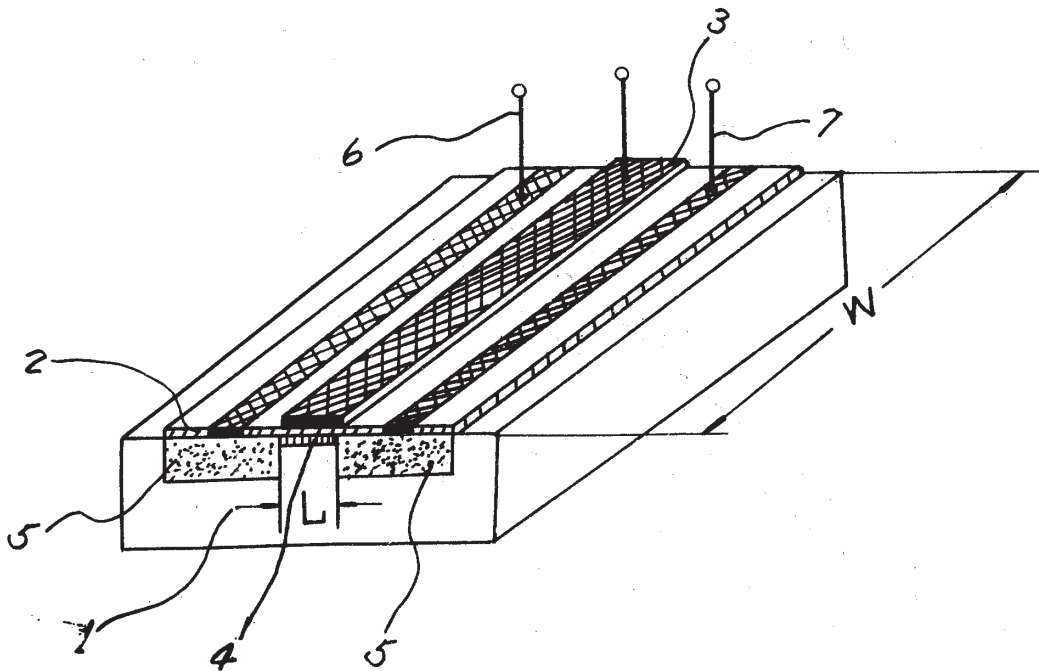
覆われてなる半導体基板を含み、前記被膜で覆われた半導体表面は {100} 面に平行なあるいはその近傍の面に平行な結晶面を有し、前記被膜によって前記表面に誘起されるキャリアの表面密度は到達し得る最小の値を有することを特徴とする半導体装置。

2 半導体表面の少なくとも一部が絶縁物被膜で覆われてなる半導体基板を含み、前記被膜で覆われた半導体表面は {110} 面に平行なあるいはその近傍の面に平行な結晶面を有し、前記被膜によって前記表面に誘起されるキャリアの表面密度は到達し得る最小の値を有することを特徴とする半導体装置。

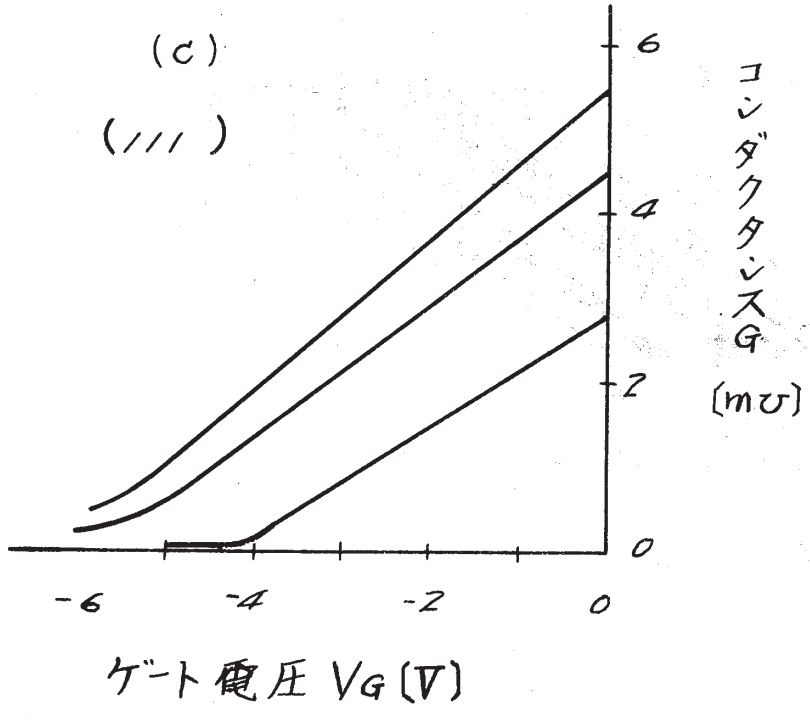
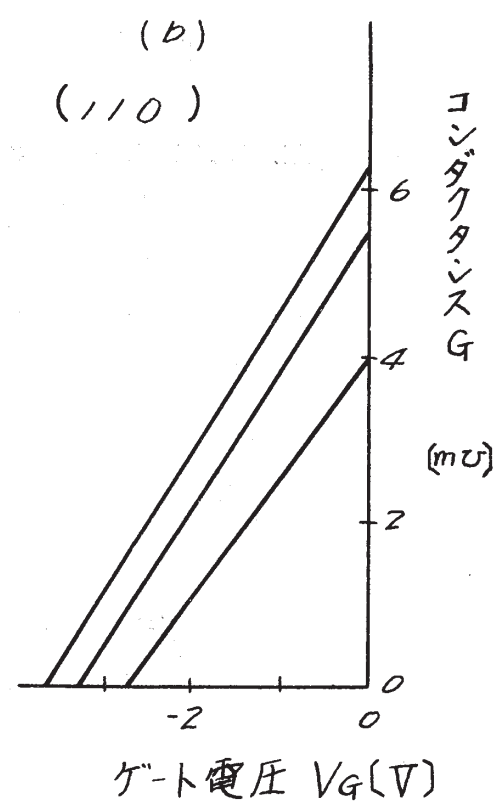
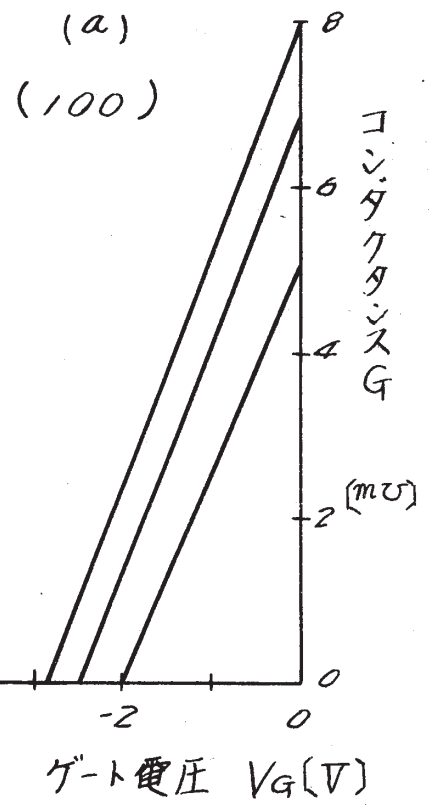
※ 1 図



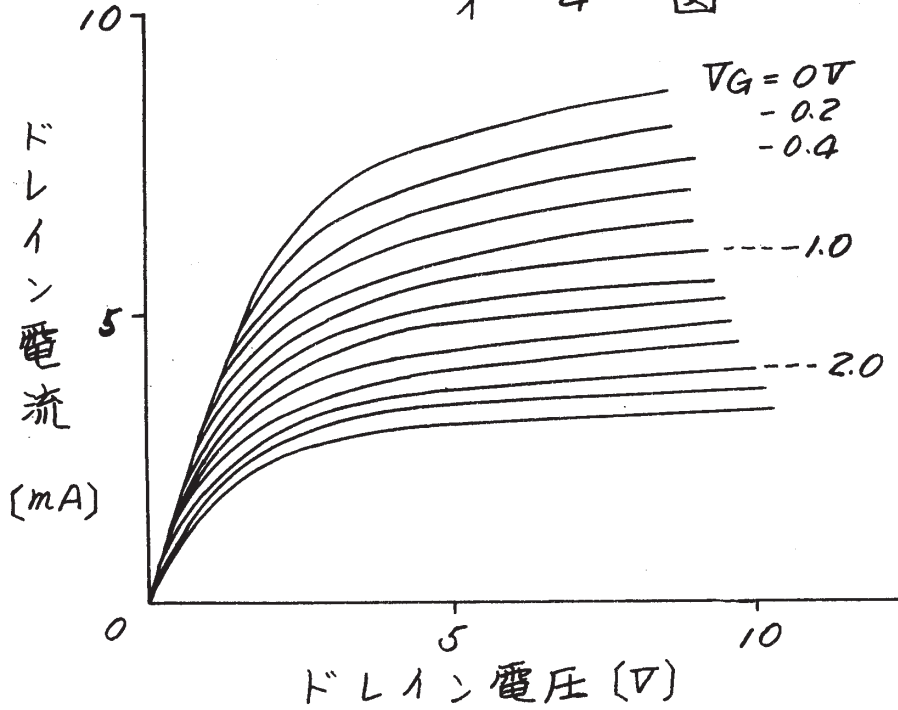
※ 2 図



オ 3 図



※ 4 図



※ 5 図

