

半導体装置の製造方法

特 願 昭 38-28767

出 願 日 昭 38. 6. 6

特許法第 30 条第 1 項の規定の適用電気通信学会
トランジスタ研究会資料「酸化皮膜を持つ Si 表
面の加電冷却効果」(第 1 頁乃至第 13 頁)

発 明 者 大野稔

小平市上水本町 1 4 5 0 株式会社
日立製作所武蔵工場内

同 新田雄久

同 所

出 願 人 株式会社日立製作所

東京都千代田区丸の内 1 の 4

代 表 者 駒井健一郎

代 理 人 弁理士 佐藤直

図面の簡単な説明

第 1 図は本発明の半導体装置の製造方法の概要
説明図、第 2 図及び第 3 図は半導体の表面 N 型化
の度合を示す曲線図、第 4 図は本発明方法に用い
られる半導体材料の一例を示す斜視図、第 5 図は
本発明方法の一実施態様を示す縦断面図、第 6 図
は本発明方法により得られた半導体装置の縦断面
図、第 7 図は第 6 図に示した半導体装置の簡略図
第 8 図は同じく第 6 図に示した半導体装置の特性
曲線図、第 9 図は本発明方法により得られた他の
半導体装置の縦断面図、第 10 図及び第 11 図は
それぞれ第 9 図に示した半導体装置の特性曲線図
第 12 図は本発明方法による他の半導体装置の縦
断面図、第 13 図は第 12 図に示した半導体装置
の等価回路図、第 14 乃至第 16 図はそれぞれ本
発明方法による第 12 図に示した半導体装置の特
性曲線の変化の状態を示す曲線図である。

発明の詳細な説明

本発明は半導体装置、特に電界効果型半導体装
置の製造方法に関するものである。

一般に、ある導電型を有する半導体基体の表面
に酸化被膜を形成させる方法として(a)加熱して酸
化させる方法、(b)電氣的に陽極酸化させる方法、
(c)化学的に酸化被膜を形成させる方法等がある。

そして半導体基体表面に酸化被膜を形成するこ
とによつてその酸化被膜下の半導体基体中が P 型
の場合には上記酸化被膜直下の半導体基体中に N
型に反転せられた薄層を形成し、前記半導体基体
が N 型の場合には上記酸化被膜直下の半導体中に
更に強い N 型 (N^+) の薄層を形成する現象につて
Bell System Technical Journal
Vol. 38 No. 3 1959 749~783 頁等に記
載されている。この現象は酸化被膜の形成方法、
半導体基体単結晶の製造方法の相異(引上げ法に
よるか浮遊帯域法によるか等)によつて得られる
結果が種々異なり、この現象の安定した再現性は
得られ難いことも知られている。

又、Journal of the Physical
Society of Japan, Vol. 17, p.
1190、(1962) には、硅素半導体とその上に
設けられた硅素酸化膜との間に電界を印加するこ
とによつて、硅素半導体表面にチャンネル層が形
成され、そのチャンネルの導電度が印加される電
界の値によつて変化することが記載されている。
しかし、上述したような従来の装置においては、
印加した電界を取り去ると、そのチャンネル層が
再び元の状態即ち電界を印加する前の状態に戻つ
てしまい、チャンネル層の導電度を所望の値に保
つことは出来ず、又所望の値に保持するためには
電界を印加しておかねばならなかつた。

本発明の目的は上述のような現象の利点、すな
わち酸化被膜下の半導体基体表面部分に導電型の
反転乃至導電度の変化を生ぜしめ得る利点及び半
導体基体表面上の酸化被膜により半導体基体の表
面状態が極めて安定に保たれるため外部雰囲気に
対して何ら影響を受けないという利点を活用し、
しかも上記導電型の反転又は導電度変化を人為的
に制御して任意所望の特性を有し、その特性を保
持する半導体装置の製造を可能ならしめようとする
ものである。

つぎに本発明方法の代表的な実施例を図面につ
いて説明する。

第 1 図において 2 は酸化被膜例えば二酸化硅素
膜 I で覆われた P 型硅素半導体基体、3 は上記二
酸化硅素膜 I 側に設けられた電極、4 は上記硅素
半導体基体 2 の上記二酸化硅素膜 I と反対の側に

導電的に結合された電極を示す。本発明方法は上記のようにして形成せられた酸化被膜 1 を有する半導体装置を更に加熱することを基体的特徴とするものであり、更にこの加熱処理の過程において上記各電極 3 及び 4 間に直流電圧（電界）E を印加する点に第 2 の重要な特徴とするものである。本発明者等は上記二酸化硅素膜 1 の下に生ぜしめられている酸化被膜直下層 5（反転導電層）の導電型及びその導電度を上記加熱処理の温度及び時間乃至印加電圧の値によつて任意所望の程度に制御し得かつその状態を保持し得ることを発見した。

第 1 図の場合において、半導体基体 2 として例えば引上げ法によつて製造された比抵抗 $4 \Omega \text{cm}$ の P 型硅素半導体結晶を用い、それを水蒸気を含む酸素雰囲気中 1200°C の温度の下で 1 時間加熱処理して 3000 \AA の二酸化硅素膜 1 を形成するこの際該膜 1 の下方の硅素半導体基体 2 の部分は導電度が変化し酸化被膜直下層 5（反転導電層）が形成され、該層 5 の表面キャリア密度は $2 \times 10^{11} \text{ electrons/cm}^2$ 程度になる。

一般に、半導体におけるキャリアには正孔（hole）と電子（electron）とがあるけれども本発明においてはキャリアとして特に電子に着目して本発明を説明する。しかし、キャリアとして正孔に着目しても同様に本発明を説明することが可能である。なお、半導体表面を N 型化する傾向を有する絶縁物層について説明する場合には、半導体表面のキャリア密度として電子密度（electrons/cm²）に着目した方が便利であるけれども、逆に半導体表面を P 型化する傾向を有する絶縁物層について説明する場合には、正孔密度（holes/cm²）に着目した方が便利である。

このような半導体基体 2 に対して電極 3 を二酸化硅素膜 1 側、電極 4 を硅素半導体基体 2 側に、それぞれ接触するように設け該電極 3、4 間に電極 3 が電極 4 に対して正電位となるように直流電圧 3 V を印加しつつ 350°C の温度の下で 30 分間加熱処理を行つたところ硅素半導体基体 2 に形成せられている酸化被膜直下層 5 の表面キャリア密度は $2.8 \times 10^{12} \text{ electrons/cm}^2$ に増加した。

第 1 図に示すように半導体基体 2 の酸化被膜 1 の直下に形成されている酸化被膜下層の表面キャリア密度はこのままでは、すなわち単に二酸化硅素膜 1 を形成させただけでは一定ではなく表面キャリア密度が非常にバラツクのに対し、前述した

ように加熱処理を施し、かつその間に電圧を印加した場合は上記表面キャリア密度は半導体基体 2 に加えられる温度又はそれらの処理時間、電極 3、4 間に印加した電圧等の関数で表わされ、半導体基体 2 の表面の二酸化硅素 1 の形成条件には殆んど関係せず極めて容易に任意の値に制御することができる。印加電圧及び処理時間に対する表面キャリア密度の変化の度合は第 2 図に一例を示すようになる。全図において加熱温度は 350°C とし、縦軸は酸化被膜直下層の表面キャリア密度を、横軸は処理時間をそれぞれ表わし、曲線 6'、6、7、8、9 及び 10 はそれぞれの印加電圧が 0 V（電極 3、4 間を開放又は電極 3 を設けない状態）、0 V（電極 3、4 間を短絡）、-0.5、-1.5、-2 及び -3 V の時の曲線である。但し極性は半導体基体を正、即ち電極 4 を電極 3 に対して正電位にする電圧方向を正とする。全図から明らかなように処理温度が一定の場合は、印加電圧の増加に伴い表面キャリア密度も増加し特に電圧を印加した場合が最も大なる値を示し、ついで電極 3、4 間短絡の場合がそれにつき、電極 3、4 間を開放状態とした場合はほとんど変化がみられない。更に表面キャリア密度の加熱時間に対する変化率は約 10 分までは急激に増加し、その後は勾配は減少乃至零近くなる。それ故処理時間は 10 分以上と成すことが望ましい。一方加熱温度と印加電圧に対する表面キャリア密度の変化の度合は第 3 図に一例を示すようになる。全図において加熱時間は 30 分とし、縦軸は酸化被膜直下層の表面キャリア密度を、横軸は加熱温度をそれぞれ表わす。曲線 11'、11、12、13 及び 14 はそれぞれ印加電圧が 0 V（電極 3、4 間を開放又は電極 3 を設けない状態）、0 V（電極 3、4 間を短絡）、-1、-2 及び -3 V の時の曲線である。全図から明らかなように処理時間が一定の場合は、前述の第 2 図と同様印加電圧の増加に伴ない表面キャリア密度も増加し、特に電圧を印加した場合が最も大きな値を示し、ついで電極 3、4 間短絡の場合がそれにつき、電極 3、4 間を開放状態とした場合はほとんど変化がみられない。更に表面キャリア密度の加熱温度に対する変化率は約 75°C までは殆んど変化せず 75°C から 250°C の間で急激に増加し、その後は再び変化率が小さくなる。それ故この場合には加熱処理温度は 75°C 以上とする必要があり、望ましくは曲線の勾配が緩かになる 250°C 以上が良い。なお、加熱温

度は第2図及び第3図の場合には400°C付近までしか示していないが、少くとも半導体並びに電極等の構成素子の融点までは加熱可能であり、また電極4,5間に加える電圧は酸化被膜例えば二酸化硅素膜2の耐電圧まで高めることが可能である。

以上のことから、上記処理を施す前にあらかじめ何等かの方法で酸化膜下の半導体表面キャリア密度を測定し、その値に基づき印加電圧・処理温度・処理時間を適当に選定して前述のごとく加熱処理を施すことにより、その半導体表面キャリア密度を制御し所望の導電型及び導電度を有せしめることが出来る。又、大きな表面キャリア密度の変化を必要としない処理においては、あるいはその他の目的に応じて酸化膜上に設けられた電極と半導体基体との間を電氣的短絡状態にしたまま加熱処理を施す場合も有効であり第2図の曲線6及び第3図の曲線11に示すごとくに半導体表面キャリア密度が変化し、何等電圧印加用の装置を要しないで半導体表面の導電度を制御し素子間のバラッキを処理前に比し少なくすることが出来る。又、以上述べた半導体表面キャリア密度を制御する方法よりも更にすぐれた方法を次に述べる。

上述においては電極3を正電位とした場合について説明したが、それとは逆に電極3を負電位とした場合、あるいは電極3,4間を開放にして加熱処理した場合には上記酸化被膜直下層5の表面キャリア密度は再び減少の傾向を示し、例えば表面キャリア密度 3×10^{12} electrons/cm²の上記半導体装置の電極3に-10Vの直流電圧を印加し、350°Cの温度の下で30分間加熱処理を行うと酸化被膜下層5の表面キャリア密度は 2×10^{11} electrons/cm²に減少し(この場合電極3,4間が開放状態で加熱処理する場合に比較して極めて速やかに表面キャリア密度を減少せしめることができる。)それ以上処理条件を変化させても殆んどそれ以下には減少しないことが明らかとなった。(第2図A点及び第3図B点がそれでありこの点の値を最小表面キャリア密度と称する。)それ故、二酸化硅素膜を形成しただけの時は半導体装置の酸化被膜下層の表面キャリア密度は非常にバラツキているが逆方向電圧の印加によつて最小キャリア密度にまで減少せしめ、しかる後所定の正電位を印加して上述の如き加熱処理を行い所定の表面キャリア密度に制御することが望ましい。さらにかかる加熱処理は第2図及び第

3図から明らかなように処理時間は10分以上、処理温度は75°C以上特に250°C以上で、かつ半導体並びに電極等の構成素子を破壊する温度より低い温度で加熱することが望ましく、それによつて極めて容易に表面キャリア密度を制御することが可能であることが理解されるであろう。

以上本発明方法の代表的実施例について説明したが、かかる方法によつて表面キャリア密度が増減し制御される理由はこれを理論的に明確に説明することは困難であるが推定によれば下記によるものと考えられる。

例えば一般的に第1図の如き構造をした半導体装置において、硅素半導体基体2に対し電極3に正の電圧を印加して加熱した場合、その印加電圧によつて二酸化硅素膜1に電界がかかり、又加熱の際の熱によつて二酸化硅素膜1内のイオンが動き易くなり、このイオンが上記電界の作用を受け二酸化硅素膜1上に設けられた電極3に対向する二酸化硅素膜1の半導体基体2との界面あるいはその近傍に陽イオンが蓄積され、あるいは二酸化硅素膜内のイオン分布が変化し陽イオンが上記界面部に集められ、この陽イオンが硅素半導体基体2内の電子を上記界面あるいはその付近に引寄せて、半導体基体表面の電子密度を増加させ該部の表面電位を変えN型化させるものと推定され、更に加熱後、冷却することにより、二酸化硅素内のイオンが動きにくくなり上記イオン分布が上記状態のまま定着され、常温まで温度を下げてそれまで印加していた電圧を取り去つても上記半導体基体表面の電氣的特性が保持されるものと考えられる。従つて上記半導体基体表面の電氣的特性は、上記処理時における印加電圧、処理温度、処理時間によつて制御されるものと推定される。従つて更に、上記半導体基体としてP型の硅素半導体を使用すれば、その基体表面にN型の反転導電層あるいは弱いP型の導電層(P⁻層)ないしI層が形成され、又上記半導体基体としてN型の硅素半導体を使用すれば、その基体表面に導電度の高い強いN型の導電層(N⁺層)が形成されるものと推定される。ところで、上述した本発明の処理方法に関する理論的説明においては、硅素半導体基体に対し電極3に正の電圧を印加して加熱処理を施した場合について述べたが、反対に、硅素半導体基体に対し電極3に負の電圧を印加して加熱処理を施した場合にも上述のことから類推して説明することが出来る。しかしながら、上述した

本発明の半導体装置処理方法に関する理論的な説明は単なる一推量にすぎないものである。

又本発明においては、加熱処理を施す際に硅素半導体基体とその上に設けられた二酸化硅素膜とに何等かの手段で電界をかけておけば良いのであるから、前記実施例においては、二酸化硅素膜上に該膜と密着して電圧印加用の電極を設けたが、第1図に示すごとく二酸化硅素膜1上に他の絶縁物Iを介して電極3を設けても、図に示してないが二酸化硅素膜上に該膜と密着させないである適当な間隔を置いて電極を設けても良いことが当然考えられる。実際、第1図に示す如く二酸化硅素膜1上にマイカ等の絶縁物Iを介して電極3を設けても前記実施例と同様の現象が見られた。更にまた本発明方法において上記酸化被膜直下層5の大きさ、形状、位置は上記電極3の大きさ、形状位置に左右され、電極4の大きさ、形状、位置には殆んど左右されない。このことは半導体装置が加熱された状態では硅素半導体基体2の比抵抗が二酸化硅素1(絶縁物)の比抵抗に比較して極めて小さいため、電極3, 4間の分布電圧は二酸化硅素1中では著しく高く、硅素半導体基体2中では極めて低くなり、よつて電極直下の二酸化硅素膜1と硅素半導体基体2との境界面に電界が加わり、その電界の作用によつて電極直下のみの硅素半導体基体2の導電特性が変化するためと解される。それ故本発明においては上記電極3の大きさ形状、位置を適当に制御することによつて硅素半導体基体2の表面に局部的な反転導電層5又は高導電度層を形成せしめる方法をも提供することができるのである。また、半導体上の絶縁物層を除去すると該絶縁物層下の部分だけ反転導電層または高導電度層が消滅し、絶縁物層の形成されない半導体に戻る現象がわかつた。これにより上述のように半導体基体表面の反転導電層又は、高導電度層の大きさ、形状、位置を種々に変化せしめることが可能である。

以下本発明方法を電界効果型トランジスタの製造法に適用した例を第4図乃至第6図について説明する。

従来電界効果型トランジスタとしてある導電型の半導体基体表面部にその導電型と逆の導電型の独立した2帯域を形成し、つぎに該2帯域を連結する上記2帯域と同一導電型のチャンネル層を例えば拡散法等により形成し、上記チャンネル層上に例えば二酸化硅素の如き絶縁被膜を介してゲー

ト電極を、また上記2帯域にはそれぞれそれぞれと導電的に接合せるソース及びドレイン電極を形成せしめたものが一般に知られている。

しかるに本実施例は、上述の電界効果型トランジスタにおいては二酸化硅素上のゲート電極が存在するという点に着目し、かかるゲート電極を単に動作時においてのみ使用するものではなく、上述した本発明の表面キャリア密度制御法における二酸化硅素上の電極としても使用し、よつて該電極下の半導体部分に従来の如き拡散法等を使用することなく上記2つの反転導電領域を連結するチャンネル層を容易に形成せしめんとするものである。

すなわち、第4図に示すように半導体基体18としてP型硅素半導体基体16の両端にN型導電層17を形成せしめた半導体板を用い、該半導体板18の一端面18'に第5図に示すように二酸化硅素膜19及び該二酸化硅素膜19上に第1のゲート電極20を、またN型導電層17のそれぞれにソース及びドレイン電極21, 22を、更にP型硅素半導体基体16には第2のゲート電極20'をそれぞれ形成せしめる。しかしかかる状態では二酸化硅素膜19下の酸化被膜層23が極めて不安定であり、かつその特性のパラッキも極めて大きい。これをそのままチャンネル層として使用することは不適當であるから、上述した本発明の方法に基づき、まず電極20を電極20'に対し負電位とした状態で加熱処理を行い最小表面キャリア密度に減少せしめ、しかる後改めて電極20を電極20'に対して正電位と成した状態で加熱処理することによつて第6図に示すように所望の特性に制御されたチャンネル層を有する電界効果型トランジスタを得ることが出来る。かかる電界効果型トランジスタの簡略図は第7図に示す如く表わされ、また実際に使用する場合においてはソース、ドレイン電極21, 22間にソース電極21が負になるような直流電圧を印加してドレイン電流 I_D を流し、ゲート、ソース電極20, 21間には同様ソース21が負になるようなゲート直流バイアス電圧 V_g を印加して該ゲート直流バイアス電圧 V_g を変化させることによつてドレイン電流 I_D を変化せしめることができ、その静特性は第8図によつて表わされる。全図において縦軸はドレイン電流 I_D 、横軸はソース、ドレイン電極21, 22間の電圧 V_D を示し、曲線24, 25, 26, 27及び28はそれぞれゲート直流バイア

ス電圧 V_g を変化せしめた場合の各電圧における $V_B - I_D$ 特性であり、ゲート直流バイアス電圧 V_g が高くなるにつれドレイン電流 I_D が増加する。

第9図は本発明方法より得られた電界効果型トランジスタの他の実施例を示す縦断面図である。

この場合半導体基板18として厚さ200 μ 、幅500 μ 、長さ2000 μ の大きさで比抵抗が2 Ω cmのP型硅素半導体を用い、半導体基体16としてその一表面に幅100 μ 深さ5 μ で平均比抵抗0.05 Ω cmの2個のN型導電層17を互に30 μ の間隔をおいてそれぞれ拡散形成し、更に半導体基板18の一端面18'に二酸化硅素膜19を水蒸気を含む酸素雰囲気中1200°Cの条件下で3000Åの厚さに設ける。上記N型導電層17上の二酸化硅素膜19の一部を除去して該部17にソース及びドレイン電極21, 22を接続し、一方上記N型導電層17, 17間の二酸化硅素膜19の表面を覆うように金属電極(第1のゲート)20を設け、更にP型硅素半導体基体16に第2のゲート電極20'を接続する。二酸化硅素膜19の下には上記N型導電層17, 17間を連結する極めて不安定な伝導チャンネル23が形成されている。従つてこのような状態での静特性は例えば第10図に示すように低電圧領域における特性が著しく悪く、しかもgm(入力電圧の変化に対する出力電流の変化の割合で大きければ大きいほど増幅度を大に成さしめ得る)が著しく低くまたその製品間バラツキも極めて大である。なお、全図において縦軸はドレイン電流 I_D 、横軸はソース、ドレイン間電圧 V_B である。曲線29, 30, 31, 32及び33はそれぞれゲート直流バイアス電圧が-40, -30, -20, -10及び0Vの時の特性曲線である。従つて本実施例においてはかかる半導体装置に対し、下記の如き処理を施すことに特徴を有するものである。すなわちゲート電極20, 20'間にゲート電極20がゲート電極20'に対し正になるよう10Vの直流電圧を印加しつつ350°Cの温度下で30分間加熱処理するものである。かかる処理を施した電界効果型トランジスタの静特性曲線は第11図に示すようになり、小信号入力でも良好に動作し、かつgmの高い安定な特性に変遷し、更に製品間の特性のバラツキを殆んど零に制御することができた。なお、全図において縦軸はドレイン電流 I_D 、横軸はソース、ドレイン間電圧 V_B であ

つて、曲線34, 35, 36, 37及び38はそれぞれゲート直流バイアス電圧 V_g が-0.6, -0.4, -0.2, 0及び+0.2Vの際の特性曲線である。但し、 V_g の極性はゲートを正、即ち電極20を電極21に対して正電位にする電圧方向を正とする。また一般に、電界効果型トランジスタは拡散等で得られたチャンネル層を変化して動作させるため、チャンネル層の導電度が重要であるが拡散等では該導電度の制御が困難で特性のバラツキは免れ得ず、更に特性は半導体基体結晶の製造方法、酸化膜の製造方法に大きく左右されるが本発明方法により得られる電界効果型トランジスタはチャンネル層において第2図及び第3図からも容易にわかるようにキャリア密度の制御が容易に成し得、又所望の導電度を保持することができしかも半導体基体結晶の製造方法、酸化膜の製造方法に殆んど関係なくチャンネル層のキャリア密度が制御できるため、特にチャンネル層のキャリア密度を最小表面キャリア密度(第2図のA点、第3図のB点)に制御した電界効果型トランジスタを製造すれば、チャンネル層のキャリア密度はそれ以下にはならないためバラツキのない非常に安定な電界効果型トランジスタと成すことができる。

つぎに本発明方法を金属酸化半導体ダイオード(以下MOSダイオードと称す)に適用した場合の実施例について説明する。

第12図はMOSダイオードの縦断面図であつて、全図において39は厚さ3000Åの二酸化硅素膜、40は比抵抗4 Ω cmのP型硅素半導体基体、41は上記二酸化硅素膜39上に設けられた直径約2mmのアルミニウム電極、42は上記二酸化硅素膜39を形成する際に発生した酸化被膜下層であり、43は上記P型半導体基体40に電気接触を成した電気端子である。第13図はその等価回路を示し、Coxideは上記二酸化硅素膜39の固定静電容量、Zは表面状態によるインピーダンス、Cdは電圧印加によつて変化する可変容量である。この二端子41及び43の両端に振幅0.3V周波数1000c/sの交流電圧を重畳した直流電圧を印加しその両端子間の静電容量を測定した場合、直流印加電圧の変化に対する静電容量の変化は第14図に示すようになる。全図において縦軸は静電容量C、横軸は2端子間に印加した直流電圧Vを示し、曲線44, 45, 46はそれぞれ異つた試料の静電容量の電圧依存特性で

あつて、それぞれの特性間のバラツキは極めて大きいことが解る。このような特性のMOSダイオードを本発明方法によつて2端子41、43間にP型硅素半導体基体40側が正電位になるような20Vの直流電圧を印加し350°Cの温度で約15分間加熱処理した後、冷却して第14図の測定条件と同じくして特性を測定したところ第15図に示すような特性曲線が得られた。全図において縦軸は静電容量C、横軸は2端子間の直流印加電圧Vを示し、直流バイアスに対する静電容量の立上り点はほぼ一致している。

なお、特性曲線の飽和時平坦部特性のバラツキは二酸化硅素膜39上に設けたアルミニウム電極41の大きさのバラツキに依るものであることが発明者の実験で確認できた。しかしてこのアルミニウム電極41の大きさを揃えることにより特性の一致したMOSダイオードを容易に製造することができる。

また、静電容量の電圧依存性の異なる部分Dを任意の個所に制御せしめるためには電圧印加、加熱処理等の条件を適当に選定すればよいことが明らかとなつた。すなわち2端子41、43間に硅素半導体基体が負になるように3Vの直流電圧を印加し、350°Cの温度の下で処理時間を増加して行くと特性曲線は第16図に示すように徐々に右の方向へ移動して行く。全図中縦軸は静電容量C、横軸は2端子間の直流印加電圧Vであり、それぞれの曲線47は初期特性、48は5分間加熱後、49は10分間加熱後、50は20分間加熱後、51は33分加熱後の特性曲線であり、このように処理時間により直流バイアス電圧に対する静電容量変化点Dの位置を任意に取り得る。この点を決定する要素としては前述したように印加電圧、加熱温度並びにその処理時間である。

以上いくつかの実施例について説明したように本発明方法により半導体装置、特に電界効果型半導体装置、金属酸化半導体ダイオードの如き可変容量素子等を製造すれば電氣的特性の優れた均一な特性を有する半導体装置を容易に得ることが出来る。また特に上述のように本発明方法を電界効果型トランジスタ、MOSダイオードの如く電界によつて動作するような半導体装置に応用する場合においては、電界印加用として設けた電極が、製造された半導体装置の能動電極として動作させることが出来る。

なお、上述の実施例においては本発明方法を電

界効果型半導体装置、可変容量素子に実施した例について述べたが、その他の半導体装置の製法に適用し得ることは云うまでもない。また半導体基体及び表面被膜絶縁物として硅素及び二酸化硅素について述べたが、これに限定されるものではなく他の半導体材料及び絶縁物に対しても同様に実施し得るものであることもまた明らかである。

さらに半導体表面をP型化する傾向を有する硅素酸化膜に対しても全く同様に実施することが出来ることも容易に類推される。

特許請求の範囲

1 半導体基体、該半導体基体の表面の少なくとも一部分に設けられた絶縁物層よりなる半導体構造体に於いて、該半導体構造体の上記絶縁物層と上記半導体基体との間にあらかじめ定められた電界をかけた状態で加熱処理を施し、上記絶縁物層下の半導体基体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

2 半導体基体、該半導体基体の表面の少なくとも一部分に設けられた絶縁物層、及び該絶縁物層の上に設けられた電極、よりなる半導体構造体に於いて、上記電極の電位を上記半導体基体に対してあらかじめ定められた値に保つた状態で、所定時間加熱処理を行い、上記電極下の半導体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

3 半導体基体表面の少なくとも一部分に絶縁物層を形成し、該絶縁物層の上に電極を設け、該電極と上記半導体基体との間に上記絶縁物層が破壊する電圧よりも低い電圧を印加した状態で、上記半導体並びに電極等の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下の半導体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

4 半導体基体表面の少なくとも一部分に絶縁物層を形成し、該絶縁物層の上に電極を設け、該電極と上記半導体基体との間を電氣的短絡状態にしたまま、上記半導体並びに電極等の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下の半導体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

5 半導体基体、該半導体基体表面の少なくとも一部分に設けられた絶縁物層、該絶縁物層の上に設けられた該絶縁物層より小面積でかつ所定形状の電極からなる半導体構造体において、上記電極に上記半導体基体に対しあらかじめ定められた値の

電位を与えた状態で、上記半導体並びに上記電極等の構成要素を破壊しない温度で所定時間加熱処理し、上記電極下の半導体表面に所望の形状及び所望のキャリア密度を有する導電層を形成せしめることを特徴とする半導体装置の製造方法。

6 半導体基体、該半導体基体表面の少なくとも一部分に設けられた絶縁物層、該絶縁物層の上の上に設けられた電極からなる半導体構造体において該電極と上記半導体基体との間に該絶縁物層が破壊する電圧より低い電圧を印加し、かつ上記半導体並びに電極等の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下の半導体表面のキャリア密度を所望の値に制御し、上記電極を加熱処理時の電圧印加用及び半導体素子としての動作時に於ける制御用に兼用することを特徴とする半導体装置の製造方法。

7 半導体基体、該半導体基体の少なくとも一部分に設けられた絶縁物層、該絶縁物層の上に設けられた電極よりなる半導体構造体において、上記半導体基体と上記電極との間に上記半導体基体が正電位となるような極性の電圧、但し上記絶縁物層を破壊する電圧よりも低い電圧、を印加した状態で、かつ上記半導体構造体の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下に横たわる半導体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法

8 半導体基体、該半導体基体の少なくとも一部分に設けられた絶縁物層、該絶縁物層の上に設けられた電極よりなる半導体構造体において、上記半導体基体と上記電極との間に上記半導体基体が負電位となるような極性の電圧、但し上記絶縁物層を破壊する電圧よりも低い電圧、を印加した状態で、かつ上記半導体構造体の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下に横たわる半導体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法

9 半導体基体、該半導体基体上に設けられた絶縁物層、該絶縁物層の上に設けられた電極、からなる半導体構造体において、上記電極と上記半導体基体間に上記絶縁物層を破壊する電圧よりも低い電圧を印加し、かつ上記半導体構造体の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下に横たわる半導体表面のキャリア密度を最小表面キャリア密度とすることを特徴とする半導体装置の製造方法。

10 半導体基体、該半導体基体上に設けられた絶

縁物層、該絶縁物層の上に設けられた電極、からなる半導体構造体において、上記電極と上記半導体基体との間に上記電極下の半導体表面のキャリア密度を減少させるような極性の電圧でかつ上記絶縁物層を破壊する電圧よりも低い電圧を印加し、かつ上記半導体構造体の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下に横たわる半導体表面のキャリア密度を最小表面キャリア密度とすることを特徴とする半導体装置の製造方法。

11 半導体基体、該半導体基体上に設けられた絶縁物層、該絶縁物層の上に設けられた電極、からなる半導体構造体において、該電極と該半導体基体間に該電極下の半導体表面のキャリア密度が減少するような極性のかつ該絶縁物層が破壊する電圧より低い電圧を印加した状態で、上記半導体構造体の構成要素を破壊しない温度で所定時間加熱処理を施し、上記電極下の半導体表面のキャリア密度を最小表面キャリア密度となし、しかる後上記電極と上記半導体基体との間に上記電圧と逆の極性の所定電圧、但し上記絶縁物層を破壊する電圧よりも低い電圧、を印加した状態で、上記半導体構造体の構成要素を破壊しない所定温度で所定時間加熱処理を行い、上記電極下の半導体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

12 半導体基体、該半導体基体上に設けられた絶縁物層、該絶縁物層の上に設けられた電極、及び上記絶縁物層下の半導体表面に設けられた第一導電型の領域からなる半導体装置において、上記電極を上記半導体基体に対してあらかじめ定められた電位に保ち、同時に上記半導体装置の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下に横たわる上記第一導電型領域を第二導電型領域に変換することを特徴とする半導体装置の製造方法。

13 第一導電型半導体基体、該第一導電型半導体基体の少なくとも一部に設けられた複数個の第二導電型領域、該第二導電型領域を橋絡するように上記半導体基体上に設けられた絶縁物層からなる半導体構造体において、上記絶縁物層と上記半導体基体との間にあらかじめ定められた電界をかけた状態で加熱処理を行い、上記絶縁物層下の上記半導体基体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

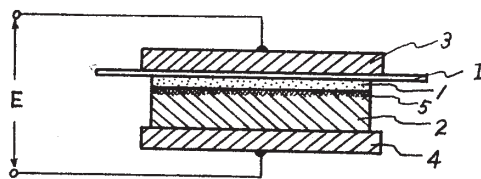
14 第一導電型半導体基体、該第一導電型半導体

基体の少くとも一部に設けられた複数個の第二導電型の領域、該第二導電型領域を橋絡するように上記半導体基体上に設けられた絶縁物層、該絶縁物層の上に設けられた電極からなる半導体構造体において、上記電極を上記半導体基体に対してあらかじめ定められた電位に保つた状態で、上記半導体構造体の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下の上記半導体基体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

15 第一導電型半導体基体、該第一導電型半導体基体の少くとも一部に設けられた複数個の第二導電型領域、該第二導電型領域を橋絡するように上記半導体基体上に設けられた絶縁物層、該絶縁物層の上に設けられた電極からなる半導体構造体に

おいて、上記電極と上記半導体基体との間に上記電極下の半導体基体表面のキャリア密度が減少するような極性のかつ上記絶縁物層が破壊する電圧より低い電圧を印加した状態で、上記半導体構造体の構成要素を破壊しない温度で所定時間加熱処理を行い、上記電極下の上記半導体基体表面部分のキャリア密度を最小表面キャリア密度となし、しかる後上記電極と上記半導体基体との間に上記電圧と逆の極性の所定電圧、但し上記絶縁物層を破壊する電圧より低い電圧、を印加した状態で、上記半導体構造体の構成要素を破壊しない所定温度で所定時間加熱処理を行い、上記電極下の上記半導体基体表面のキャリア密度を所望の値に制御することを特徴とする半導体装置の製造方法。

才 1 図



才 2 図

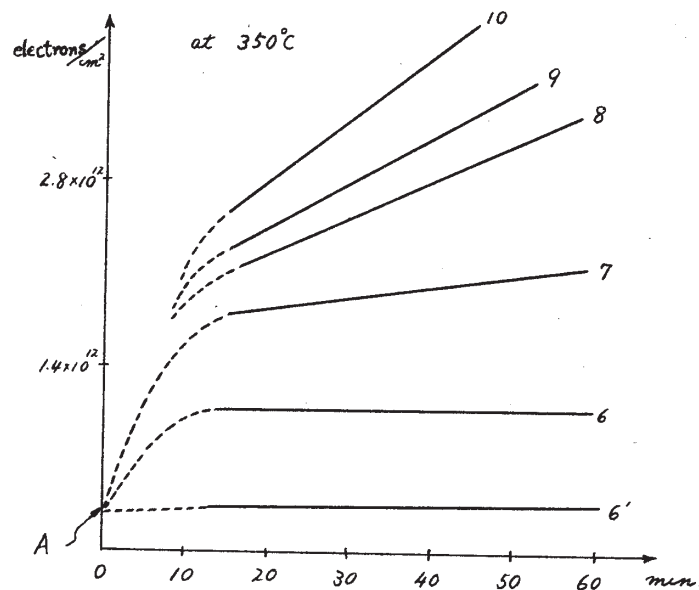


图 3

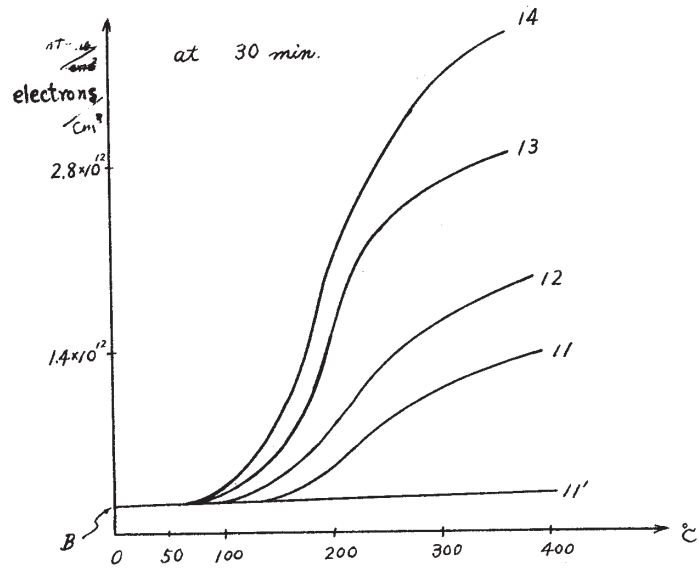


图 4

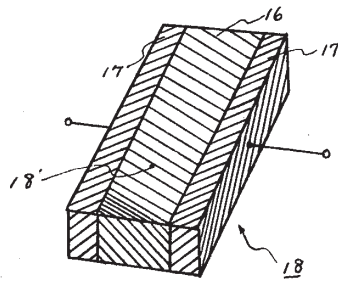


图 5

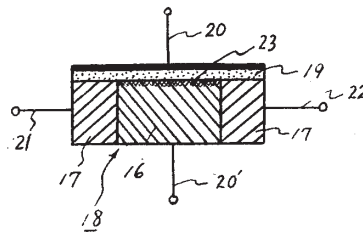


图 6

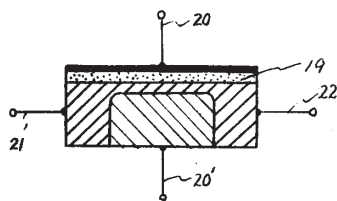
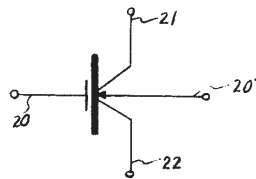
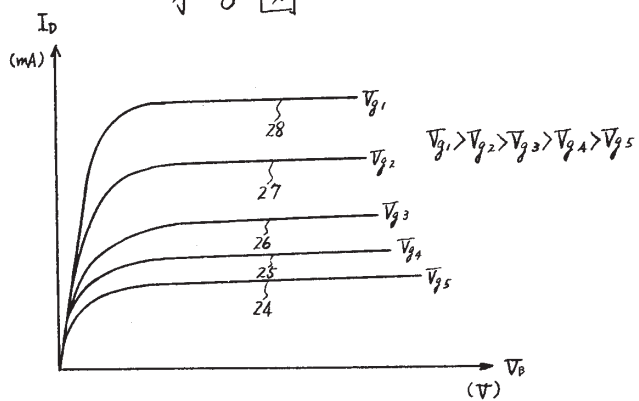


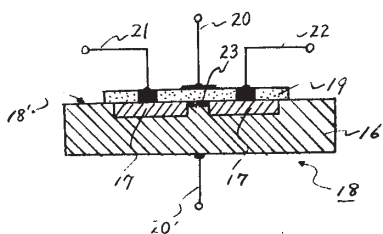
图 7



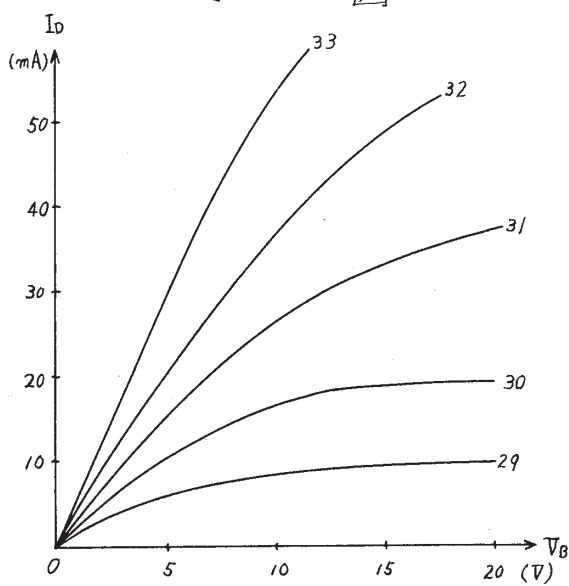
才 8 図



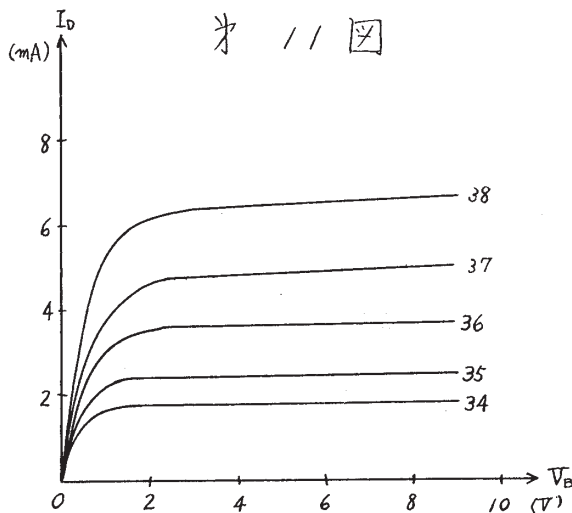
才 9 図



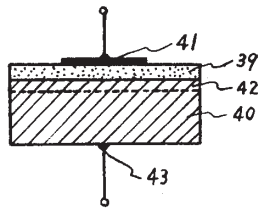
才 10 図



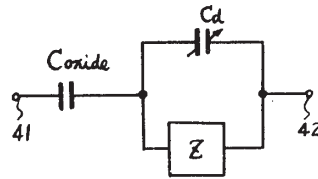
才 11 図



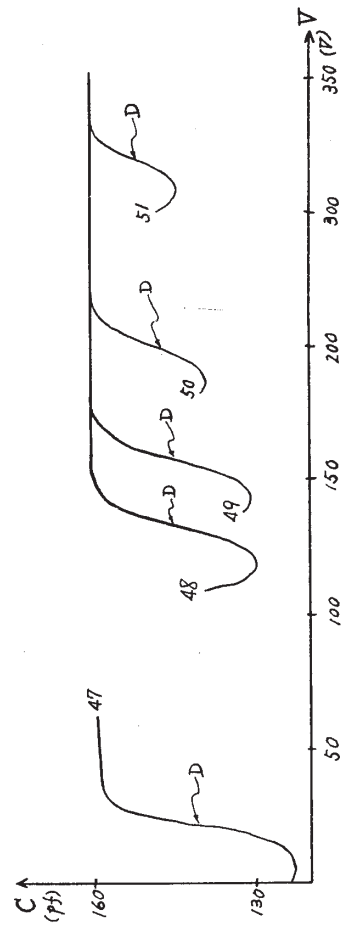
才 12 図



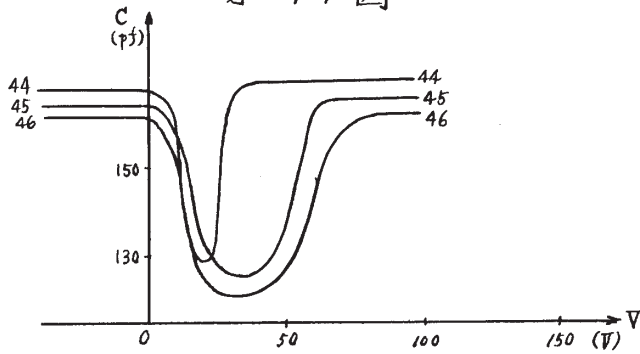
才 13 図



才 16 図



才 14 図



才 15 図

