

## 半導体の歴史

## — その18 20世紀後半

## — 日本における半導体メモリの発展 —

株式会社フローディア  
代表取締役社長おくやま こうすけ  
奥山 幸祐

## ■ ご挨拶

去る3月11日の東日本大震災におきまして東北から関東に亘る広い領域にて未曾有の災害となり、多くの方が甚大な被害に合われましたことに心からお見舞い申し上げます。地震や津波による災害、そして原発による二次災害により甚大な被害を受けられ、今後も長く続かざるを得ない避難生活などによるご苦勞を考えますと言葉では言い尽くせないご心勞のこととご推察致します。お一人お一人の方が明日に向かって心を強く持たれ、早期に通常生活までご回復されますことを心よりお祈り致しております。

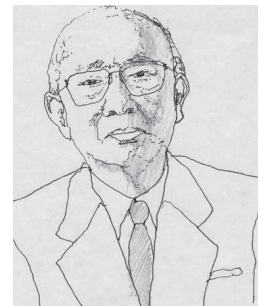
私事ではありますが、この度、(株)ルネサスエレクトロニクスを早期退職し、(株)フローディアを設立するに至りました。新会社はアナログ製品やLCD製品などの高機能化を図るための小規模FlashメモリなどのIPを提案、販売、コンサルタントすることが業務になります。これまで日立製作所、ルネサステクノロジ、ルネサスエレクトロニクスにてマイコン混載用Flashメモリの開発を共に経験してきました技術者達の息吹の中でもうしばらく楽しむことができれば幸いと考えております。

執筆中の『半導体のはなし』の「半導体の歴史」は3年前に1800年のボルタの電池から書き始め、今回で1970年代半ばに差し掛かりました。この年代は私自身が半導体の世界に入り込んだ時代にもなります。登場人物も面識のある方々になり、下手な文書にて恐れ多く、ご迷惑をお掛けしなければと思いながら書き進めております。SEAJからご依頼の当初の目的でありますように、製造装置開発に関連している若い技術者の方々が半導体、特にシリコンデバイスの発展の経過を辿ることで、ヨーロッパ、アメリカ、そして日本を始めとした多くの世界の研究者、開発者が尽力

し、その上に今の半導体製造装置や製造方法が成り立っていることをご理解頂ければと思っておりますので、至らない文面にはご容赦を頂きたいと思っております。引き続き文面にて、よろしくお付き合いお願い申し上げます。

## ■ 日本における DRAM の開発

DRAM (Dynamic Random Access Memory) はキャパシタ (コンデンサ) に電荷を蓄えることにより情報を記憶する素子であり、1970年にインテルが1kビットDRAM「1103」を発表すると、日本においても直ぐにDRAM製品が開発されている。日本で最も早く、DRAMを開発したのはNECである。DRAM製品の発表をインテルが出してくると同年の1970年にNECの開発チームは4トランジスターを



大内淳義

用いたDRAM「μPD401」を開発している。キャパシタはインテルの半分の512ビットである。インテルの「1103」がPMOSで構成されているのに対して逸早くNMOSを採用している。1966年から開始された通産省の大型プロジェクトで、8社共同による「超高性能電子計算機の開発」の中でNECはMOSメモリの担当になり、電気試験所の指導のもとに、1968年に世界で最も早くNMOSの144ビットSRAMを完成し、製品化していたことは前稿で触れているが、この開発でNECはNMOSプロセス技術を手に入れている。NECの開発チームは、IBMをスピンアウトして設立されたアメリカのコガー社がDRAMを開発していることを偶然に知り、DRAMはSRAMに比べ、記憶内容を保持するためにリフレッシュ動作が必要であるが、構成デバイス数が小さく大集積化に向いていることからDRAM開発を決断し、「μPD401」を開発したものである。この製品の歩留まりが非常に悪く、搭載キャパシタ差もあり、インテルに対して大きく遅れをとる。この遅れの挽回を図るために1971年に、国産初の1kビットDRAM「μPD403」を開発し、さらに、これを設計変更し翌年の1972年に発表したのが

「μPD404」である。この DRAM はインテルの「1103」に比べて、読み出しスピード、使い易さの面で確実に優れた製品となる。インテルに2年遅れて1kビットDRAMを製品化したことになる。「μPD401」に比べて歩留まりも格段に良くなっている。しかしながら、インテルの「1103」との互換性がないことから、顧客からは受け入れて貰えず、全く売れていない。前稿のMPUと同じく、先行者が開発してきた市場に食い込むためには、先行者のLSIとの互換性が重要であることを当時NECの集積回路事業部長である大内淳義は思い知らされるのである。NECのコンピュータ事業部にさえも採用して貰えていない。常に顧客側の立場に立った開発が重要となる。後進のメーカーが単にスピードが速くとも、顧客がそれまで使用してきた回路基板を入れ替えてまで採用してくれることは稀である。アメリカでは既にAMS、AMIなどの数社がインテルと同一規格品を出しており、インテルのDRAM製品仕様がコンピュータメーカーでは標準仕様となっている。性能の良いNEC製品に興味を示すも購入してくれない。インテルのロバート・ノイスはNECに対して、インテル製品のセカンドソースとしてPMOSで構成されている「1103」を製造することを求めてくる。しかしながら、1972年までの努力により、DRAM技術面ではインテルの上に立ったNECは、集積回路設計本部の本部長代理の常木誠太郎や、部下の松倉保夫らが「いずれNMOSの時代になるのに決まっているから、PMOSみたいな寄り道をすることはない」と頑強に言い張ることで大内はNMOS路線でゆくことを決断する。

1973年になると、満を持したかのようにNMOSで構成した4kビットDRAMを日立製作所が発表し、4kビットでの国産化初の名乗りをあげる。そして、NECがそれにつづく。日立の製品名は「HM4503」である。そして、同年にインテルもPMOSからNMOSに切り替えて4kビットDRAMを発表する。このインテルの方針切り替えによって、日立、NEC両社のDRAMも互換性が保たれ、急激に売れ上げを伸ばすことになる。

しかしながら、4kビットDRAMの覇者となるのはTI (Texas Instruments) 社である。それまでのインテルを始めとした他社が1ビットを3個のトランジスタで構成していたのに対し、TIの4kビットDRAMは、1ビットを1個のトランジスタと1個のキャパシタとから構成することで集積度を上げられる新しい回路技術を使うことで、コスト競争力を向上させている。1ビットを1個のトランジスタと1個のキャパシタから構成してメモリとして動作させるためには、チップ内部で多数のクロックパルスを発生させ、連続的に回路を制御する必要がある。TIはこの方式を4kビットから採用したのである。TIは前稿「半導体のはなし9」で記載したICの基本特許を持ち、当時では半導体製造会社として世界最大の会社である。TIの半導体

売り上げは1980年代前半まで世界一を持続する。

この1ビットを1トランジスタ+1キャパシタから構成する回路設計方法は次世代16kビットDRAMからは各社に採用される。16kビットDRAMから採用された、もう一つの技術は2層の多結晶Siゲート構造である。4kビットDRAMまでは1層の多結晶Siゲートでキャパシタとトランジスタのそれぞれのゲートをホトエッチングで加工して形成していたため、両素子間の距離を加工可能な距離に保つ必要があり、セルサイズ縮小に限界があったが、2層多結晶Siを採用することで、両素子のゲート電極を別々の層で形成できるように工夫され、両素子間の間隔を詰めることが出来るようになる。このアイデアは東芝の舛岡富士夫が特許化するが、同時期にインテル初め、富士通などの多数の企業から出願されている。

日立は同社の中央研究所の第7部で大型コンピュータの研究に取り組んでおり、メモリの半導体化への動きに敏感に対応し、1972年からDRAMの開発を開始している。その中心人物が伊藤清男である。伊藤はこの4kビットDRAMから64MビットDRAMまでの8世代のDRAM開発に関わって行くことになる。4kビットDRAMの開発については「磁性体メモリを半導体メモリに置き換えていくには、4kビットレベルでないとコスト的に有利にならないと読んでいた。われわれは電卓用のチップでSiゲートPMOSをやり、高歩留まりを確保していたので、これをNチャンネルに切り替えればよかった。NMOS化は、コンピュータ部門の要求仕様を満たすための選択だった」と語っている。

伊藤を始めとした日立の技術陣は1973年にNMOS版4kビットDRAMを発表すると、その後、1976年に16kビットDRAM、1980年に64kビットDRAM、1982年に256kビットDRAM、1984年に1MビットDRAM、そして、翌年の1985年にNMOSから消費電力の少ないCMOSに切り替えCMOS版の1MビットDRAM、1988年に16MビットDRAM、1993年に256MビットDRAM、1995年に1GビットDRAMと次世代DRAM製品を次々に発表してゆくことになる。業界全体では16kビットDRAMまではアメリカのメーカーがリードしていたが、64kビットDRAM、256kビットは日立、1MビットDRAMは東芝、そして4MビットDRAMで再び日立と、64kビットDRAM以降になると日本メーカーが業界をリードして行くようになる。この流れは、1998年に韓国メーカーが日本メーカーのDRAM生産量を逆転するまで続く。日立では中央研究所、デバイス開



伊藤清男

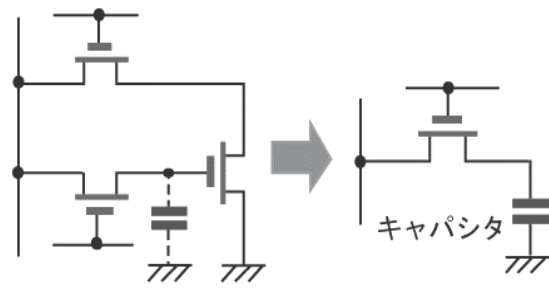
発センタ、半導体事業部の多くの研究者と開発者達が関わっている。当初は中央研究所で製品開発まで一貫して行われていたが、1975年に小平市の武蔵工場内にデバイス開発センタができると、次第に中央研究所で基礎研究、デバイス開発センタでビークル製品を開発、半導体事業部で製品展開、量産する、3段ロケット方式の開発が行われるようになる。

この様な開発体制や各世代の開発は国内では日立に限らず NEC、富士通、三菱、東芝などの総合電機会社が、インテルに比べ大きな資本力を背景に積極的に進めて行く。DRAM は1970年にインテルにより 1K ビット DRAM が製品化されてから、1 世代約 3 年毎に 4 倍に集積度を向上してゆく。世代が進む毎にチップ面積を1.4倍に拡大、メモリセルをほぼ1/3に縮小し、集積度 4 倍化を実現している。

1970年代から1980年代は、この DRAM の大集積化が多くの関連技術の研究開発を牽引してゆく。プロセス関連では Si 基板、酸化、イオン注入、CVD、ホトリソ、エッチング、洗浄、配線、CMP などの要素プロセス技術、メモリセル構造や MOS デバイスなどのプロセスインテグレーション技術、信頼性技術などが開発、改良される。それに伴い製造装置が進化し、それぞれの製造装置にプロセスシーケンスなどの製造ノウハウが自動化と共に取り込まれてゆく。

1970年代の日立において発案された代表的なメモリ技術のみを3つ挙げると、伊藤が発明した「折返しデータ線配置セル方式（2交点セル方式）」、角南英夫が発明した「トレンチ・キャパシタセル」、小柳光正が発明した「スタック・キャパシタセル」が挙げられる。2交点セル方式は64k ビット DRAM から、それぞれの3次元セルは4M ビット DRAM から本格的に採用されてゆく。これらの発明により、3人は後年の2006年6月24日に、IEEE（米国電気電子学会）から日本人では初めて「IEEE Jun-ichi Nishizawa Medal」を共同で受賞することになる。この賞は、「IEEE Edison Medal」などと並ぶ IEEE 上位表彰の一つで、前稿で記載した西澤潤一（元東北大学総長）の半導体基礎材料、デバイス、光通信、電力システムなどにおよぶ幅広い業績を称えるために、2002年に創設されたもので、材料とデバイス科学技術へ多大な貢献をした人へ授与されるものである。受賞の対象となったのは、「DRAM メモリセルとアーキテクチャの先駆的貢献」であり、上記の「2交点セル方式」、「トレンチ・キャパシタセル」、「スタック・キャパシタセル」である。

1970年にインテルで発明された DRAM は3トランジスタから構成されていたが、それ以前の1966年に IBM のロバート・デナードが1トランジスタ+1キャパシタからなるシンプルな構造を発明している。これが DRAM の最も早い発明となる。しかしながら、この構造ではキャパシタに蓄えられた微小電荷量を読み込む回路技術が必要であ



3トランジスタ方式      1トランジスタ+1キャパシタ方式

図 3 トランジスタ方式から1トランジスタ+1キャパシタ方式への進化 (参考文献6)

り、インテルでは回路技術の容易な3トランジスタ方式を採用している。この方式では微小電荷量を直接読み込むことなく、微小電荷量が MOSFET のゲート電位に影響を与えることによって変化したチャンネル電流をセンスすれば良く、読み出しが容易になる。1トランジスタ+1キャパシタ方式を最初に製品化したのが、上記に述べた TI であり、1973年に4k ビット DRAM で実現している。この TI の技術を各社が研究し、1976年になると各社とも16k ビット DRAM でこの方式を実現している。この1トランジスタ+1キャパシタのシンプルさが大集積化に繋がり、DRAM を半導体メモリの主役とやらしめてゆく。各世代に渡ってスケールアップして行く中で、それぞれの世代の加工限界までセル面積を小さくし大集積化を図るために、この構造のメモリセルに求められるものは、可能な限りの小さな面積のキャパシタに如何に多くの電荷量を蓄積でき、この電荷量を如何に無駄なく信号量として読み出せるかである。角南や小柳のメモリセル構造はキャパシタ部を3次元化することで多くの蓄積電荷量を蓄積させ、伊藤の回路構成は信号量のばらつきやノイズマージンを最小限にすることにより電荷量を無駄なく読み出せる技術である。これらの3つの技術は1974年から1976年に特許出願され、1980年代以降の DRAM に欠かせない基本技術となる。それぞれの技術が広く採用されて行き、伊藤の2交点セル方式のみでも、全世界の DRAM に適用され、その売上額は80兆円を超える。

III 折返しデータ線配置セル（2交点セル方式）

伊藤はこの発明について「当初磁性体コアメモリを研究していたが、隣接ビットからのクロストーク、磁気クリープによる情報破壊に苦労した。DRAM に転向してから、同様なノイズ対策が、微細化が進む LSI では必ず重要な問題になるはずと考えすぐに着手した」と言っている。当時、

検出アンプに対してデータ線を折り返す構造がすぐれていることは、同相ノイズの除去方法として磁気コアメモリでは当たり前の技術である。この技術をDRAMに応用すべく、拡散層データ線+AIワード線の構成をやめ、多結晶Siワード線+AIデータ線の方式を考案し、2交点セル方式と組み合わせ1974年に特許出願している。チップの中の回路では充電・放電が激しく繰り返され、それから生じるノイズ電圧はビット数とともに増える。また隣り合う導線(データ線)同士の間で生み出されるノイズは、素子の寸法が小さくなるほど増える。1交点セル方式ではデータ対線を増幅器(センスアンプSA)に対し開放型に配置して、両者に結合したノイズを増幅器で相殺する。しかし、データ対線は互いに離れているので対線の電気特性が等しくはなく、また異なる導体は対線に対して異なるノイズ源となるので、導体からそれぞれに結合するノイズも異なる。このためノイズは完全には相殺除去できない。こうしたノイズを減らすために工夫されたのが2交点セル方式である。導線を折り返すことによってノイズ成分がお互いに消し合うようにしている。本来のデータ線に平行して折返しデータ線が配線されることで、読み出されるセルのすぐそばに2本のデータ線が通っているの、たとえノイズを受けてもこれらをメモリセルアレイ外周部のセンスアンプで比較することでノイズの影響を排除することが出来る。この技術はセル自体のノイズ、データ線電位が変動して基板にカップリングするノイズ、隣接データ線からのクロストークなど殆ど全てのノイズを相殺することができる。また、データ線に拡散層を使っていないので、ソフトエラーにも強い。伊藤らはこの2交点セル方式を更に発展させ、「多分割データ線方式」を開発することによって、消費電力が大幅に減らせるよう

にも工夫している。

DRAM 製品では 1k、4k、16k とアメリカのメーカーが DRAM 製品では先頭を走ってきたが、64k ビットから日本の日立が先頭に立つ。伊藤らはこの64k ビット DRAM から 2 交点セル方式、5V 電源化(前世代まで12V)などの新技術を積極的に適用し挑戦的に開発を進めている。

ノイズ対策の技術として、後年、もう1つ、大きな技術が提案されてくる。富士通の竹前義博が考案した1/2V<sub>dd</sub> 特許は電源ノイズ対策のためのものである。竹前の1/2V<sub>dd</sub> 特許は、DRAMのキャパシタが、それまでは電源に直結しており、電源変動に比例してキャパシタの電位を変動し、読み出しマージンが低下していた。このマージン低下を防ぐために、メモリセルの電位変動とデータを読み出す基準電位の変動が常に同じにすればよいのではと言う考案である。これを実現するために、キャパシタの電位を電源電圧の1/2にするとともに、データ線の充電電位も電源電圧の1/2(1/2V<sub>dd</sub> データ線プリチャージ方式)にして、読み出しの基準電位に使う。これによって、電源が変動しても両者は常に同じように変動するので読み出しマージンは低下しない。この技術はCMOSデバイスを使った1MビットDRAMから積極的に使われてゆく。伊藤と竹前の特許を組み合わせることで、低ノイズを維持したまま消費電力を減らすことができ、1980年代からのDRAMの標準セルとして世界に定着している。

伊藤は、1994年まで、半導体メモリの研究開発に従事し、同年には米国・カリフォルニア大学バークレー校の客員教授、1995年にはカナダ・ウォータルー大学の客員教授、2000年には米国・スタンフォード大学の顧問教授として、半導体の発展に貢献していく。

伊藤はIEEEからの西澤メダル受賞を受け以下のような感想を述べている。

『「つらかったが研究してきてよかった」、これが栄えある西澤メダル受賞に際しての実感です。挑戦と失敗を繰り返したこれまでの研究人生43年が報われたからです。振り返ってみますと、世界を相手にした最先端の大型研究テーマ、それを長期にわたって一貫してやり通せたのは、恵まれた研究環境、特に企業の研究所があつたこと、また、諸先輩や研究仲間あるいは時代にも恵まれました。そのような研究現場でしたから、今回の受賞につながる優れた研究成果と優れた発明・特許を生み出すことができました。そんな幸運がそう実感させるのだと思います。引き続き、技術開発に取り組み、日本と世界の発展に寄与していきたいと思っています。』

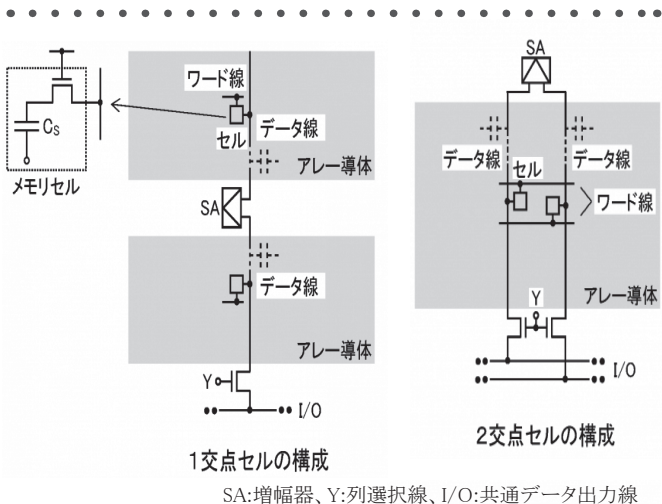


図 1 1交点セル方式と2交点セル方式のデータ線配置 (参考文献2)

### MEMOセルの3次元化

先に記載した東芝の舛岡がSi基板表面に平面型MOSキャパシタを形成するプレーナセルで、2層多結晶ポリSiを用

いることでメモリセルの縮小を考案しているところ、更に自由な発想をしていた2人の技術者がいる。後に、舛岡は書換え可能な不揮発性ROMで現代の世界を大きく変革するアイデアを創出する。そして、その後、更に、そのROMの3次元化を考案する。現在のFlashはスケージングの限界から舛岡の考案した3次元の方向に向かっていく。これらは、その研究者達が知らず知らずの内、影響し合っている現象なのではないだろうか。1970年半ばのこの頃、舛岡はDRAMの厳しい開発競争の中にある。舛岡も2人の技術者、角南、小柳も東北大学で西澤潤一の薫陶を受けた若き技術者達である。

角南、小柳の2人が3次元構造のDRAMメモリセルを考案する。2人のメモリセルは3次元ではあるが、3次元にする方向が全く逆方向であり、角南は地に潜り、小柳は天に昇るといった具合である。角南の「トレンチ・キャパシタセル」はSi基板に溝を掘り、Si基板内に形成するものであり、小柳の「スタック・キャパシタセル」はSi基板上に多結晶Siを積み上げ、Si基板上に形成するものである。この2人の3次元化にはそれぞれ、異なる思想と信念がある。この2つの技術がメモリセルの蓄積電荷量を増大させることで1980年代の半ば以降のDRAMの大集積化を可能にしてゆく。その技術は1973年頃から発案され、1975年、1976年に特許化されている。

トレンチ・キャパシタセル



角南英夫

角南は小学校から鉱石ラジオに興味を持ち、中学、高校では無線機を自作している。アマチュア無線通信を楽しむと言うよりは送受信機の仕組みや性能など、装置そのものに関心を持つ。大学以降は無線からオーディオに移り、真空管やトランジスタを用いた10数台のオーディオアンプを作っている。この経験が、後の「トレンチ・キャパシタセル」発明の一助となる。

1969年に日立の中央研究所に入所し多層配線、やCCD(電荷結合素子:主にデジタルカメラの撮像素子)の研究に携わる。CCDの動作解析のために界面準位研究を目的として1973年

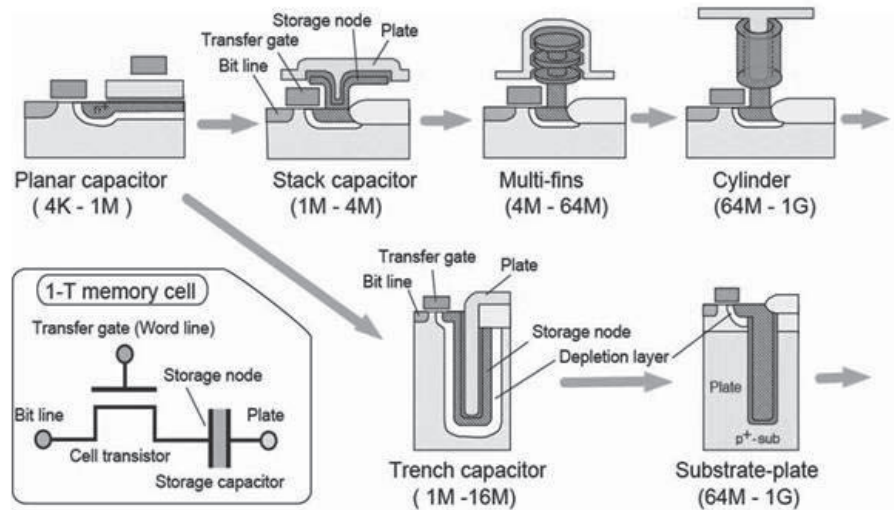


図 DRAMメモリセルの3次元化(トレンチ・キャパシタセルとスタック・キャパシタセル) (参考文献6 より)

から1年間スタンフォード大学に社費留学し、光電子分光法の研究に従事する。この研究室では実験装置が数か月に1週間程度の頻度でしか使用できないこともあり、本業の光電子分光法の研究から横道にそれ、1トランジスタ+1キャパシタのDRAMに興味を持つようになる。この時期にDRAMセルの構成が3トランジスタ型から1トランジスタ+1キャパシタ型に移行したという噂を聞いていたのである。ちょうどその頃に参加した学会で印象的な発表を聴講する。テキサスインスツルメンツ社のK.E. ビーンらが提案した太陽電池であり、Si(110)面にKOH水溶液で垂直な溝を多数造りつけた構造である。溝に入射した光は吸い込まれて消滅するために無効な反射光が極めて少なく、光電変換効率が上がるという発表である。当時、異方性ドライエッチング技術もない環境で、アスペクト比が5のこの垂直なエッチング溝を見て鳥肌が立つ思いをする。DRAMのキャパシタ構造に、Si基板に垂直に形成した溝部分を利用できるのではと閃いたのである。この閃きは無線機やオーディオアンプを造っていた「デバイス嗜好」からでたものである。無線機には共振周波数を精密に調整するためにトリマーコンデンサという部品がある。これは円筒形のコンデンサであり、内部の電極を入れ出しすることによって対向電極面積を変え、キャパシタ値を変化させる。この円筒形コンデンサとSi垂直溝が頭の中で合体する。Si基板に垂直な溝を形成してこの側壁をキャパシタの電極にすれば、小さな平面面積の中に大きなキャパシタンスの値を作れる。すぐ当時の上司に「特許出願の明細書申請用紙を送ってくれ」と米国から手紙で頼むが、折り返し「今の研究に無関係な横道にそれず、留学先での研究をきちんと

仕上げなさい」という返事がくる。1974年9月、帰朝後、このアイデアを元に特許出願を依頼し、1975年5月7日出願の特願昭50-53883「半導体記憶装置」となる。この出願の1ヶ月後、富士通から、翌年には東芝、翌々年には三菱、NEC、TI、インテルから同じ概念の特許が出願される。発案してから1年後の出願依頼となったが、間一髪の差で、角南の特許となる。また、関連特許として、この発明とともにトレンチの応用と派生技術で様々なアイデアを出願する。2層ポリSi構造のDRAM、Siの梁の側壁をチャンネルとしたトランジスタ、さらには基板を貫通した垂直な溝を電極とするものなどである。これらのアイデアはその後、製品化されているもの、将来に向けて今でも開発継続のもの幅広い。

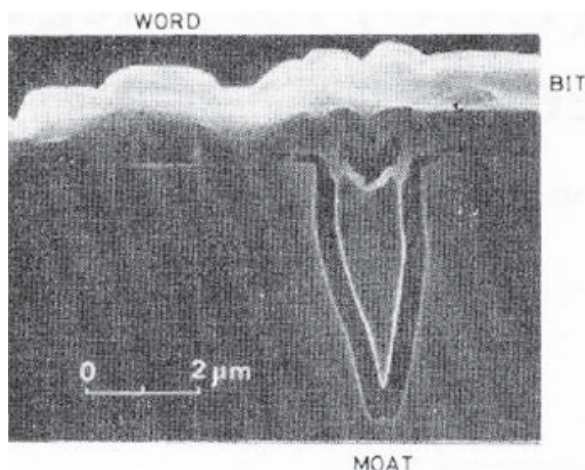


図 1982年に試作成功したトレンチ・キャパシタセルの断面写真 (参考文献5、7より)

64kビットDRAMで勝利した日立では様々な意味で余裕ができ、トレンチ・キャパシタセルの具現化を図ろうとの機運が高まり、1MビットDRAMへの適用に向けトレンチ・キャパシタセルの試作を開始する。試作は極めて順調に進み、まだ十分に開発されていなかった異方性ドライエッチングを適用し、平面キャパシタセルの2倍以上のキャパシタンスの値が実現される。角南はこれらの試作結果を1982年のIEEE国際電子デバイス学会 (IEDM) で発表する。この発表は、2004年のIEDM50周年記念行事の一環として選別された過去の優秀発表論文58件の中でリストアップされている。

### ■ スタック・キャパシタセル

小柳は1969年4月に東北大学の西澤潤一研究室に配属され、修士課程、博士課程を通してSi表面の研究をMOSキャ

パシタの評価を通して行うことによりキャパシタ (コンデンサ) への確固たる考え方を身に着ける。特に博士課程で、西澤に「装置がないから研究ができないとは何事だ。研究者は必要な装置は自分で作るものだ」とひどく怒られ、1年以上もかけた測定装置自作の経験がその考え方を揺らぎないものになっている。この装置自作で、損失の少ない高性能のリファレンス用コンデンサを追及する過程で、高融点 (High-k) 絶縁膜を含むあらゆる材料を調査している。最終的には、バリコンを分解して真空容器に封じ込めたコンデンサが最も損失が少ないことが分り、このコンデンサを使用することで、広い領域にわたるMOSキャパシタのインピーダンス解析が可能となる。この解析から、MOSデバイスは如何に基板の少数キャリアの影響を受け易いかも、身をもって知ることになる。その結果MOSキャパシタは本物のコンデンサではなく、「似非コンデンサ」であると強い信念を持つようになる。この考え方が、後にDRAMと出会い、「スタック・キャパシタセル」を発案する下地となる。

小柳は1975年に日立の中央研究所に入所後、半導体メモリの研究・開発を開始し、DRAMに出会う。TIの4kビットDRAMから主流に成りつつあった1トランジスタ+1キャパシタ方式のキャパシタがMOSキャパシタであるのを見て小柳はそれまでの西澤研究室での経験から、このキャパシタセルに違和感を感じる。MOSキャパシタでは、Si基板内部で発生する少数キャリア (電子、正孔) や漏洩電流の影響を受けやすく、高集積化してゆくと、情報電荷保持特性が劣化して動作しなくなることや、高集積化を図る為に素子を微細化すると、情報電荷量が減少し、動作しなくなると直感する。そして、これらの問題を解決するために、情報電荷を保持するキャパシタ部をできるだけSi基板から離して、少数キャリアの影響を受けないようにすることを考える。さらに、メモリセル面積を小さくしても、キャパシタンスの値が小さくならないようにすることを考える。その結果として、情報電荷蓄積用キャパシタをスイッチングトランジスタの上に3次的に積み上げるスタックドキャパシタセル (Stacked Capacitor Cell: 積み上げ容量型メモリセル) の発明に自然につながって行く。小柳は1976年に、スタック・キャパシタセルの構造や蓄積容量形成用高誘電率絶縁膜に関して、11件の特許を取得する。従来の1トランジスタのメモリセルは蓄積容量が多結晶Si-Si酸化膜-Si基板からなる平面MOSキャパシタで構成されてい



小柳光正

たため、蓄積容量を大きくするとメモリセルが大きくなるがスタック・キャパシタセルでは多結晶 Si-絶縁膜-多結晶 Si、または金属-絶縁膜-金属からなるパッシブ容量をスイッチングトランジスタの上に3次元的に積みあげているため、小さなメモリセル面積で大きな蓄積容量を実現できる。また、蓄積容量部が Si 基板に接している面積が小さいため、基板で発生した少数キャリアの影響を受けにくく、ソフトウェア耐性や情報保持特性が著しく改善される利点を併せ持つ。さらに、キャパシタの絶縁膜に高誘電率膜を使用できるという特徴があり、誘電率が大きくなる分だけ蓄積容量を大きくすることができる。

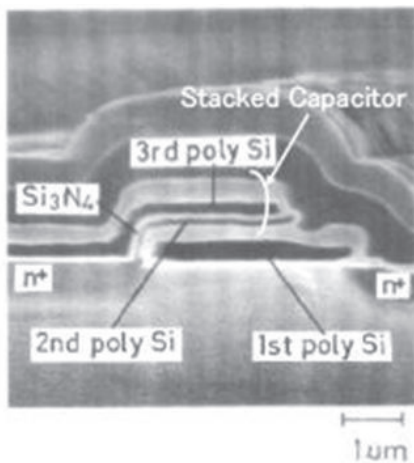


図 1978年に試作成功したスタック・キャパシタセルの断面写真 (参考文献8、9)

1978年に世界で初めて試作に成功している。試作に当たっては、蓄積容量部の絶縁膜として Si 窒化膜と 5 酸化タンタル膜を取り上げている。試作段階で高誘電率膜を用いると漏洩電流が大幅に増えることが問題となる。最初に試作したスタックセルの絶縁膜には Si 窒化膜を用いたが、Si 窒化膜形成後に高温で熱酸化して表面に薄い Si 酸化膜を形成すると漏洩電流を著しく低減できることを見出し、試作できるようになる。この Si 窒化膜/酸化膜の積層絶縁膜は、スタック・キャパシタセルよりも先に、平面キャパシタ型の 64k ビット DRAM で実用化され、その後 7 世代あたりまでの長い間、DRAM のキャパシタ絶縁膜として採用される。また、小柳らは 5 酸化タンタル膜を用いたスタック・キャパシタセルも試作している。この膜は高温熱処理で酸素欠

陥ができて漏洩電流が著しく増加する。スタック・キャパシタセルでは、キャパシタをスイッチングトランジスタの上に積み上げるため、キャパシタの形成を比較的低温で行うことができ、漏洩電流を大幅に減らすことができる。この 5 酸化タンタルは 64M ビット DRAM から製品適用されてゆく。小柳はこれらの試作結果を 1978 年の IEEE 国際電子デバイス学会 (IEDM) で発表する。この発表も、2004 年の IEDM50 周年記念行事の一環として選別された過去の優秀発表論文 58 件の中で、日本人として最初の論文にリストアップされている。

これら 2 つの 3 次元メモリセルの製品化に至る経緯などを次稿に記す。

(敬称を略させていただきます。)

#### 参考文献

1. ダイヤモンド社発行 志村幸雄著『にっぽん半導体半世紀 二十世紀最大の技術革新を支えた人と企業』
2. 工業調査会発行 大内淳義、西澤潤一共編『日本の半導体開発 劇的発展を支えたパイオニア25人の証言』
3. 高集積ダイナミック RAM 実現の基礎となるメモリセルの設計 伊藤清男、角南英夫ほか 日経エレクトロニクス PP169-193 1983年7月18日号
4. K. Itoh, R. Hori, H. Masuda and Y. Kamigaki, "A single 5 V 64K dynamic RAM," in ISSCC Dig. Tech. Papers, pp. 228-229, Feb. 1980.
5. H. Sunami et al., Technical Digest of IEEE International Electron Devices Meeting, pp.806-808, 1982.
6. DRAM 用トレンチキャパシタの発明と実用化経緯、IEEE 西澤潤一メダル受賞に当たって—その 1: 発案と特許出願まで 角南英夫 半導体シニア協会ニューズレター アンコール48
7. DRAM 用トレンチキャパシタの発明と実用化経緯、IEEE 西澤潤一メダル受賞に当たって—その 2: 試作成功と製品化動向 角南英夫 半導体シニア協会ニューズレター アンコール49
8. M. Koyanagi et al., Technical Digest of IEEE International Electron Devices Meeting, pp.348-351, 1978.
9. IEEE 西澤潤一メダル受賞 DRAM 用スタックドキャパシタ・メモリセルの発明と実用化経緯 小柳光正 半導体シニア協会ニューズレター アンコール59

#### 次回

第20回 半導体の歴史  
—その19 20世紀後半  
半導体メモリの発展—