

# シリコンロジックプロセスの開発ものがたり

桑田 孝明

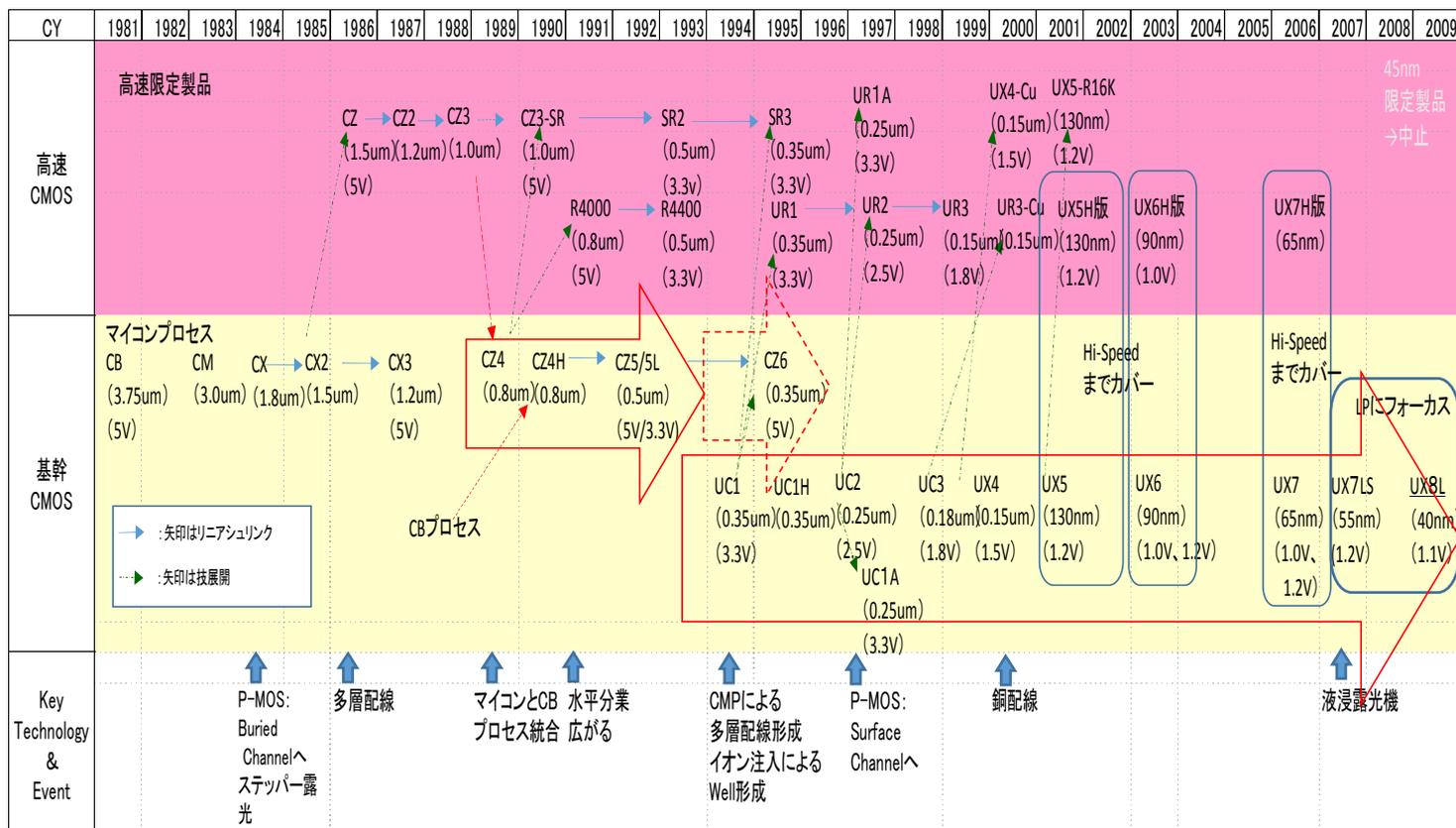
はじめに、

シリコンロジック製品は、汎用メモリと異なり、容易に代替ができません。万一、製造歩留が悪くて十分な生産ができないとか、重大なデザインルール変更が発生して、設計体系や生産ライン構築のやり直しになると、社内だけでなく、お客様、社会にとって大きな問題となります。また、経年後に発生する設計及び信頼性に起因する問題はさらに大きなインパクトが生じます。一方で、コストパフォーマンスを鑑み、デザインルール(集積度)とパフォーマンスがコンペティティブであることは必須の条件です。

本寄稿では、過去30年間のNECのロジック製品のプロセス開発・量産化に於いて、転換点・変化点となった事実とその時の考え方(コンセプト)をまとめると共に、世界的な大きな流れであった国際水平分業への対応(デバイス・プロセスの進化・共通化等への対応)の歴史をまとめました。No.1のコストパフォーマンス、発売時期をめざしてプロセス開発・量産化を行ってきました。No.1になれたプロセス(製品)、惜しくもそれを逃したものも多数ありました。前世代の反省を踏まえて考え方(コンセプト)を変えた事も多くあり、その都度多大な努力が払われました。しかし、手掛けたすべてのプロセス世代の製品を世に送り出すことができたことは、志ある多くの方々の努力の賜物であり、深く感謝を申し上げます。

今回は基幹 CMOS 系の話にフォーカスしますが、NEC のプロセス技術の奥深さは、混載デバイスよるところが非常に大きいと思います。また、90年代前半まではメモリ系(主に汎用 DRAM)のプロセス開発とライン整備があればこそ、ロジックプロセスの構築が可能であったと思っています。

下記に線表を示します。大きな流れを赤矢印で示しています。



(年号は、そのプロセスでの製品が出荷された年を記載しています。)

1980年頃、NECに於けるシリコンロジックプロセスは、製品分野ごとに分かれていた。マイコン(MCU)のCMOSプロセスは、3.0umルールまでは、P-MOSのゲート電極にP型の多結晶シリコンが使われ、N-MOSとP-MOSの切り替え部にはダイオードを短絡するアルミ配線が設けられていた。(社内ではP-N方式と呼称)、これはP型ゲート電極(Surface channel)の方が、短チャンネル化が容易であった為である。また、当時のプロセスの名称は、英文字2文字で構成されていた(CMOSなら、例えば、CBプロセスは3.75um、CMプロセスは3.0umというような表記)。Si基板はN型基板を用い、熱拡散により深いP-wellを形成していた(N-sub P-well方式)。マイコン系のデザインルールは複数世代にわたってのリニアシュリンクを考慮したものとなっていた。(その世代での限界を追求したものではないが、次世代プロセスへの展開が速いという特徴があった。) プロセス設計の観点からは、次世代のデザインルールが類推できるために、次世代プロセス開発の問題点認識を得やすいというメリットがあった。

一方、ゲートアレー等では、配線チャンネルを確保するために、P-N切り替え部のダイオード短絡を避け、P-MOSのゲート電極には、N型Siが使われていた。(社内では、N-N方式と呼称) また、Si基板をP型にしたP-sub N-well方式が検討されていた。ゲートアレー等

では、リニアシュリンクは用いず、その世代の使用可能な最小のデザインルールを適用していた。

**1983年**、V20/30<sup>(1)</sup>用の 1.8um プロセスが完成した。プロセス名は CX。配線リソースの確保と N-MOS 主体の回路面積を小さくする為、N-N 方式(P-MOS のゲート電極が N-型)を採用、N-MOS のソースドレイン(SD)のドーパントに As を用いて、短チャンネル化を行うと共に、P-sub N-well 方式を用い、N-MOS はチャンネルドープ方式(P-well 方式ではなく)して、SD 接合容量の低減を図った。P-MOS の短チャンネル化の為に SD-B の拡散を抑制するために低温でキュアできる Spin-On-Glass(SOG)による層間絶縁膜の平坦化を行った。

**1985年**、CX プロセスのリニアシュリンク版である CX2(1.5um) プロセスが完成し、V20/30 高速版を製造する事ができた。Al 配線下層間絶縁膜に BPSG を低温リフローする事により、低コスト化と P-MOS の短チャンネル化を実現した。CX プロセスでは、適用される製品の数が少なかったが、CX2 では、過去のプロセス(CB,CM プロセス)から移行してきた製品、新規製品等、多数の製品が開発量産化された。

**1986年**、CX2 プロセスをベースとして、マイコン系最初の 2 層アルミ配線プロセス(CZ プロセス)が開発された。初めての 32bit プロセッサ(V60<sup>(2)</sup>)では、1 層配線では配線リソースが足りず、2 層配線が必要とされた。当時、多層配線プロセスの生産制約があり、CZ プロセスでの開発製品は、V60/70 と 77230 に限定された。多層配線製品の限定は CZ2(1.2um)、CZ3(1.0um)まで継続された。生産性を鑑みマイコンプロセスは、アルミ 1 層版の CX2(1.5um)、CX3(1.2um)が多用されることになる。当時のアルミ 2 層配線プロセスは、SOG の多数回塗布による層間膜平坦化を行っていた(通称、輪島塗プロセス)。この為、高速製品と G/A 等に適用が限定されていた。

アルミ配線の微細化・多層化の進展と共に、Stress migration によるアルミ配線断線問題が極めて大きな問題となった。特に 1.2um プロセスからは微細配線の信頼性を確保するためにバリアメタルとアルミ配線の積層構造配線が必須の構造となった。

1980 年代までの時代は、IDM(Integrated Device Manufacturer)として、設計から生産まで一貫して行える事が強みであった。設計、生産等の各段階での水平分業は殆どなかったか、限定されたものであった。

**1989年**、CZ4 プロセス(0.8um:5V)が開発・量産化された、当初マイコンに適用されたが、CB-IC にも適用可能な様に改善(1990 年:CZ4H)された。これにより、マイコン、CB-IC などのロジック系プロセスが統一された。0.8um LDD WSi Polycide Tr. や、3 層配線対応の新層間膜平坦化技術、Cu 添加アルミと TiN バリアメタルサンドイッチ構造配線を世界で初めて量産化。高性能化と高信頼性を両立した。

**1991年**、CZ4プロセスをベースに、高速動作に重点を置き、Tr.の高Ion化、Junction容量の低減化、配線容量の低減化を行い、RISC Processorへの適用を開始。R3000A<sup>(3)</sup>では世界で初めて40MHz版を出荷、R4000<sup>(4)</sup>では更なる高速化を図ると共に、チップの縮小化を図った。(SRプロセス)。

1990年代に入り、CB-ICの設計環境整備、RISCプロセッサの台頭があり、設計、生産の水平分業が始まった。プロセス開発・製造に関しては、従来のIDMの開発・製造部門が主に担当した。COT(Customer Owned Tooling)ビジネスでの開発・製造競争が始まった。その環境下でNECは微細加工技術を生かしたチップ縮小、高性能低容量Tr.、高信頼性配線等、非常に競争力あるポジションを得た。

**1994年**、UC1(0.35um:3.3V)プロセスが開発・量産化された。NECロジックプロセスの統一版の第1世代という意味でUC1(Unified CMOS1)と命名された。UC1は文字通り、Unifiedされた開発がなされた。先端デバイス開発本部、マイコン事業部内に置かれた共通デバイス部、生産本部、各事業部の製品技術部、信頼性品質管理部がプロセスWG(下地と配線)、信頼性WG、製品開発WGなどに参加し、Systematicな開発が行われた。当時、CZ4,CZ5プロセスのフォトマスク数が競合他社よりも多く、コスト競争力を高めることが大きな課題であった。革新的な技術を多数同時開発し実用化した。この開発によりプロセス技術的に汎用DRAMとは異なるプロセス技術分野が多くなる発端となった。

0.35um LDD WSi Polycide gate+SD TiSi Silicyde、リセスLOCOS分離、N-well/P-wellはイオン注入で形成、層間膜平坦化にCMP適用、感光性Polyimideカバー膜、などにより、3層配線版で14マスクとなった。マスク数の削減の物理限界と生産のし易さのバランスを鑑みた設計であった。このプロセスでNECのほとんどのロジック製品が生産される事となった。マイコンやCB-C9<sup>(5)</sup>などのセルベースICに適用された。また、UC1プロセス(基幹CMOS)をベースとして、それに搭載する機能デバイス(eFlash、eDRAM)を開発するというスタイルが確立した。

**1995年**、競争が激化するRISCプロセッサの高速化に対応する為に、UC1プロセスの技術をベースとして、Tr.の高Ion化、接合容量の低減化、配線容量の低減化を行い、RISCプロセッサの高速動作競争で勝つ為に、UR1プロセス(0.35um)を開発した。これはSGI社のR10000<sup>(6)</sup>(200MHz)に適用された。また、同様の技術を用いて、NECのスパコンをCMOSで開発する事にも貢献できた。(プロセスはSR3)

更に、CZ4プロセス(0.8um)の設計資産が多くなってきており、これのコストダウンに対応するために、UC1プロセスをベースとして5V動作のTr.を開発し、CZ6(CZ4から0.6倍、CZ5から0.75倍のリニアシュリンク版)を開発した。0.56um LDD Tr.を用いた5V動作のプロセスである。

UC1 (Standard)、UR1 (Ultra-high speed) 、CZ6 (5V operation)というラインナップは、NEC 社内だけでなく、社外における COT 分野においても、十分な選択肢と競争力があつたと思われる。

**1996 年**、UC2 (0.25um:2.5V) プロセスが開発・量産化された。UC1 開発時に組織構築された各 WG が再形成され、より Systematic な開発が行われた。0.25umLDD TiSi Salicyde Tr. (P-MOS のゲートを P 型とする P-N 方式を採用 (P-N 切替線上のダイオードは TiSi で短絡))、HDP-SiO<sub>2</sub> 層間絶縁膜、HDP-SiO<sub>2</sub>/SiON/Polyimide カバー膜などを採用し、タイムリーに商品化できた。CB-IC (CB-C10<sup>(7)</sup>)、マイコンなどに採用、UC2 をベースに UC2 eFalsh が開発された。

**1997 年**、UC2 プロセスをベースにして、高速 RISC プロセッサ向けに UR2 プロセスが開発された。R10000 (250MHz、2.5V 版) がこのプロセスで生産された。R10000 では拡散層容量低減のため初めて、STI (Shallow Trench Isolation) が適用された。

**1998 年**、UC3 (0.18um: 1.8V) プロセスが開発・量産化された。このプロセスを用いて、MPU や CB-11<sup>(8)</sup> などの CB-IC 製品が開発された。更に、UC3 プロセスをベースに高速化を図った UR3 プロセスにより、R12000 (300MHz)<sup>(9)</sup> プロセッサが量産された。また、UR3 Tr. を使い、銅配線を適用したスーパーコンピュータ (地球シミュレーター<sup>(10)</sup>:2000 年に生産) 専用プロセスが開発された。

UC2、UC3 とコストパフォーマンスを追求した基幹 CMOS をタイムリーに開発してきたが、競合他社は、高性能系にフォーカスしており、且つ PDK (Process Design Kit) を Ver.0 (目標設定時) から顧客に開示して、水平分業を進めていた。プロセス設計と設計の Qualify が完了した後に基幹 CMOS の PDK を顧客開示するやり方では、形勢が極めて悪くなってきた。(UR 系プロセスは、デバイスのパフォーマンスの競争力は十分あつたが、相対的にコストが高かつた為に、社内的一般品への設計環境構築はなされなかつた。)

競合他社に対抗すべく大転換 (UC3→UX4) を行った。(当時、先端デバイス開発本部で開発していた 1.5V 対応の高性能 Tr. を活用した)。この時代、フォトマスクス数はほぼ世界共通になりつつあり、その中での Good performance PDK の提示競争 (時期も含めて) になりつつあつた。

**1999 年**、UX4 (0.15um: 1.5V)<sup>(11)</sup> プロセスを急ぎ開発し、早い段階からの PDK の顧客開示を行った。高速分野での競合他社に対して低 V<sub>t</sub> の Tr. で対応し、携帯電話用の PDC には高 V<sub>t</sub> で対応した。また、クリチカルパスに低 V<sub>t</sub> の Tr. を活用したり、高速動作マクロと低電力マクロをオンチップに搭載できるようにした。多機能を搭載可能な統合プロセス (Unified “X”) というコンセプトで UX4 プロセスとした。技術の難易度が関係者に浸透し易い様に、世代番号を 4 とした。さらに、0.13um デバイス (フル銅配線プロセス) がリリースされるまでの間隙を突きハーフノード (0.18um と 0.13um の間) で究極のアルミ配線プロセスを

構築した。オプションプロセスとして超高速分野では銅配線プロセスを用意した。(R14Kに適用・製品化)

基幹 CMOS の性能が飛躍的に向上すると共に、配線 Pitch の縮小等、他社の 0.18um デバイスに対して、High-speed から Low power の分野で大きな競争力を得た。この時、設計基盤構築部隊からプロセス開発部隊までが同一の部に属する時期があり、設計部隊とプロセス部隊の連携が飛躍的に向上し、UX4 ライブラリの構築と量産化に大きな効果があった。極めて短期間で CB-12<sup>(12)</sup>が開発量産化された。また、UX4 の基幹 CMOS をベースにして、機能マクロの開発が大きく進展した。

プロセステクノロジーノードの中でハーフノードを選択した最初のプロセスとなった。

携帯電話(PDC)対応の低リーク電流品から、サーバーの CPU 周辺のハイエンド高速動作品まで広範囲に対応でき、十分な競争力が得られた。しかしながら、低 Vt Tr.の多用、マルチ Vt を含むコアの流用等で、フォトマスク数の増大を招いた。

**2001 年**、UX5 プロセス(130nm、1.2V) プロセスが開発・量産化された。世界中で大問題となった銅配線の Via 部での Stress induced Void による断線問題を世界に先駆けて解決。Tr.性能も十分競争力があり、デバイスの信頼性も確保されていた。CB-130<sup>(13)</sup>、R16K<sup>(14)</sup>などに適用された。2000 年から先端デバイス開発本部のプロセス部隊と事業部に所属したプロセス部隊が統合され、UX4 の量産化と UX5 の開発が同時並行してできる体制となり、UX5 開発の数々の難問題をクリアできた。

COT ビジネスを求めて、シリコンバレーメーカーを訪問したが、すでに他社の PDK が配布されていた。銅配線問題に対する設計基準変更に対応する為、大忙しの状態で、UX5 の PDK で再設計するという COT 顧客は限られていた。とにかく、PDK は早い段階(着想+アルファ)で顧客配布が必要であった。そのことは認識していたが、銅配線問題が解決するまで PDK 配布しなかった。まず、出来栄はともかく、PDK を出すのが国際ルールだった。また、銅配線プロセスを境に、LSI の水平分業がさらに進展した。製造関係の会社では、銅配線は 300 mmでの量産がトレンドとなりつつあり、技術及び投資ができない会社は、アルミ配線に留まった。また、テクノロジーノードの概念が定着し、Tr.の性能、配線ピッチ等の寸法が各社揃ってきた。Fab レス会社にとっては、水平分業の環境が整ってきた。一方で、プロセス開発費が急激に高額化するようになり、プロセス開発、生産ができる会社が限定されてきた。

**2003 年**、UX6(90nm、1.0V、1.2V)が開発・量産された。国際的な水平分業のさらなる進展をにらんで、大手ファンドリー会社と PDK 構築の初期から共同開発を実施した。その後、先端 SoC 基盤技術開発(ASPLA: Advanced SoC Platform)に於いて標準化を進めた。ASPLA と並行してプロセス開発・製品開発・量産化を進め、CB-90<sup>(15)</sup><sup>(16)</sup>をはじめとする多くの製品が開発された。基幹 CMOS を標準化し、それに搭載する機能マクロ(eDRAM、eFlash、特殊 I/O、Low power)で差異化し、超高速分野では、オプションプロセスで差異化

を図った。差異化技術は社内で素早く量産化し、必要な技術は外部 Fab に展開する事により、外部 Fab の活用を可能とし、投資の抑制と水平分業への対応を行った。また、ASPLA でのシャトル運営も行われ、標準化が進むと期待された。

**2006 年**、UX7(65nm、1.0V、1.2V)を開発し、相模 300 mmラインで生産を開始。65nm プロセスの開発は ASPLA 参加各社の思惑が交錯し統一開発に至らず、ASPLA は終了した。急遽、NEC 単独で開発を進めた。OPC (Optical Proximity Correction) 開発の負担を低減するために DFM (Design For Manufacturing) の一種である On-Grid Layout が考案され適用された。UX7 プロセスにより、スパコン(地球シュミレータ<sup>(17)</sup>)や PDC 用の低パワー製品が製造された。

しかし、時期的に出遅れたことは否めず対応策が必要であった。

**2007 年**、UX7LS(55nm1.2V)を開発量産化し、山形 300 mmラインから出荷を開始した。UX7 のレイアウトを Optical shrink したもので、設計資産の有効活用を行った。またクリチカル工程に液浸露光機を適用し、パターン精度向上、Optical shrink を可能とした。低リーク Tr.<sup>(18)(19)</sup>では、Hf doped ゲート絶縁膜を用いて、チャンネル部の基板不純物濃度を低下させ、大幅な特性改善を実施(1世代分先取り)した。このプロセスで CB-55L<sup>(20)</sup>及び、この Tr.の特性を生かして、eDRAM 製品が開発・量産化された。45nm 技術を先取りしたハーフノードのプロセス(55nm)を強調する作戦であった。

低リーク性と高速動作を兼ね備えており、デバイス自体としては非常に競争力があつたが、設計・製造の水平分業への対応としては、難しいものであつた。(山形 300 mmが立ち上がり、生産能力に対する懸念は小さくなっていたが、2<sup>nd</sup> Fab への展開容易性を顧客に認識してもらうのは難しかった。)

90nm 世代から、クリチカル工程は ArF レーザーを光源とする露光機を試用した。これを適用するプロセスコスト(ライン投資額)の増大と対応するフォトマスクのコスト等が高く(億円レベル)なり、製品開発費用の高騰をもたらした。数億円の開発費を投入できる製品自体の数が低下してきた。また、300 mmウエハラインの稼働により、1 枚のウエハから得られる良品 Chip の数が 1000 個を超える製品では、仮に月 1000 枚のウエハ生産を行えば、年間 1200 万個の生産となる。この様なカスタム製品は極めて少ない。先端プロセスを活用してコストダウンを図るためには、製品の主流は ASIC から ASSP に移行して行かざるをえない状況になっていった。この状況は、ArF 液浸露光機が主流となる 55nm 世代以降さらに加速した。

**2006 年**、プロセス開発費用の低減、製品開発費用の低減(シャトル、流通マクロの活用)、生産のフレキシビリティ(複数 Fab の活用)を確保する為に、東芝、ソニーが行っていた 45nm 基幹 CMOS プロセス開発に合流。2007 年からは東芝(一部、ソニー)と 32nm 基幹 CMOS プロセスの共同開発を開始した。当初国内のみの開発であつたが、東芝と NECEL

は 2008 年から、ISDA (International Semiconductor Development Alliance) に参加し、32nm/28nm 開発の軸足を米国に移していき、2009 年からは ISDA の拠点 (IBM East Fishkill) のみで開発を行った。並行して先行研究の為、IBM Albany にも技術者を派遣した。基幹 CMOS の開発費が急激に増加していく状況下で、国際水平分業の枠組みに乗る事を選択した。

**2009 年**、UX8 (40nm 1.1V) プロセスの開発・量産化が行われ、山形 300 mm ラインから出荷が開始された。このプロセスで CB-40L<sup>(22)</sup>、eDRAM<sup>(23)</sup> 搭載製品など多数の製品が開発された。90nm、55nm 世代での反省を踏まえ、営業、製品開発、設計基盤、プロセス開発・量産化チームが連合で、ビジネスキックオフを行い、40nm ビジネスを立ち上げる機運の盛り上がりがあった。

特に、eDRAM などの機能デバイスを中心に差異化を行ってビジネスの獲得に努めた。更なる機能デバイスとして、eFlash (+ eMRAM) の開発を行った。

基幹 CMOS は国際分業に乗り、混載する機能デバイスで差異化する方策を考えていた。

## おわりに、

2009 年以降、スマートフォンの普及の増大、円高に対応したアジア OEM/ODM の活用等により、日本国内で受注できる先端プロセス活用製品の数が低下していった。様々な小型電子機器がスマートフォンのアイコンに置き換わる環境下で、益々その製品数は低下していった。eDRAM などの特徴を生かした製品はあるものの、基幹 CMOS だけのビジネスは限られていった。また、小型電子機器の分野ではプロセスが進化すると共に Chip size が減少した。追加する機能よりも新プロセスによる Chip 面積縮小の方が、効果が大きかった。品種数が減る効果と合わせると、先端 300 mm ラインを充足させるには、厳しい状況となった。一方、海外の製品 (特にスマートフォン関連) では、機能追加による Chip size 増大に対応する為に、45nm から 20nm 以下への急速な Chip size 縮小が強く要求され、先端ファブリー会社だけがそれに応えることができた。超先端ロジック分野でのビジネススキームが完全に変わった。過去 30 年間、プロセスイノベーションを追求してきたが、世界レベルの水平分業の進展に対して適応しきれなかった。

超先端ロジック製品は上記のスキームでまだ突き進むと思われるが、機能デバイスを搭載した準先端ロジック製品は一定の広がりを持って伸びていくと思われる。超先端ロジックでの水平分業とは異なる製品開発・製造のやり方で価値を提供していく方法を作っていかなければならない。

また、現在、日本で 28nm 以降の先端ロジックは製造もできない状況である。14nm で使用する Fin-FET など作れない。例えば、スパコンなどは全てを日本で作ることはできない。など、安全保障の観点からも何らかの方策を考えておく必要があると思われる。

## 参考サイト一覧

- (1) [https://en.wikipedia.org/wiki/NEC\\_V20](https://en.wikipedia.org/wiki/NEC_V20) V20/V30
- (2) [https://en.wikipedia.org/wiki/NEC\\_V60](https://en.wikipedia.org/wiki/NEC_V60) V60/V70
- (3) <https://ja.wikipedia.org/wiki/R3000> R300A
- (4) <https://ja.wikipedia.org/wiki/R4000> R4000
- (5) <http://www.nec.co.jp/press/ja/9510/0201.html> CB-C9
- (6) <https://ja.wikipedia.org/wiki/R10000> R1000
- (7) <http://www.nec.co.jp/press/ja/9703/1001.html> CB-C10
- (8) <http://www.nec.co.jp/press/ja/9903/2501-02.html> CB-11
- (9) [http://studies.ac.upc.edu/ETSETB/SEGP/processors/r12000%20\(mpr\).pdf](http://studies.ac.upc.edu/ETSETB/SEGP/processors/r12000%20(mpr).pdf) R12K
- (10) <https://www.jamstec.go.jp/es/jp/es1/index.html> 地球シュミレータ
- (11) <http://www.nec.co.jp/press/ja/9910/0401.html> UX4
- (12) <http://www.nec.co.jp/press/ja/0001/2701.html> CB-12
- (13) <http://www.nec.co.jp/press/ja/0010/3001.html> CB-130
- (14) <http://www.geek.com/chips/sgi-launches-the-r16000-cpu-547935/> R16K
- (15) <http://documentation.renesas.com/doc/DocumentServer/A19184EE1V1PL00.pdf> CB-90
- (16) [http://japan.renesas.com/media/company\\_info/magazine/2003/vol\\_0005/vol\\_0005.pdf](http://japan.renesas.com/media/company_info/magazine/2003/vol_0005/vol_0005.pdf) CB-90
- (17) <https://www.jamstec.go.jp/es/jp/es2/index.html> 地球シュミレータ2
- (18) <http://jpn.nec.com/techrep/journal/g06/n05/pdf/t060511.pdf> 55nm Tr.
- (19) [http://japan.renesas.com/media/company\\_info/magazine/2007/vol\\_0076/vol\\_0076.pdf](http://japan.renesas.com/media/company_info/magazine/2007/vol_0076/vol_0076.pdf) 55nm Tr.
- (20) <http://www.itmedia.co.jp/news/articles/0701/18/news065.html> CB-55L
- (22) <http://techon.nikkeibp.co.jp/article/NEWS/20080630/154088/> CB-40L
- (23) <http://pc.watch.impress.co.jp/docs/2007/1119/necel.htm> 40nm eDRAM

2015年12月