



素子積層 SiP 技術の開発

元ルネサステクノロジ SiP 開発センタ長 赤沢 隆



最近のユビキタス機器には多機能、高性能システムを実現する為、従来の SoC 技術のみから SiP (System in Package) 技術が多く使われている。この度、半導体事始の執筆の機会をいただき、SiP を開発するに至った経緯や体験談をまとめることになった。ここではスタート時の呼び名が MCM (Multi Chip Module) であったが、その後世の中に浸透し始めた頃に SiP に名称変更したので、SiP の表記で統一している。

1. 突然の呼び出し

1998 年 10 月に上長から日本ビルにてこういう会議があるから出席するように！という指示があった。

当時、私は日立製作所半導体事業部・システム/ソリューション統括本部/画像通信用 LSI 設計部に所属していた。何の話かよくわからないまま指示された会議に出席すると、営業関係者、応用回路関係者、プロセス開発関係者ら 10 人程度の方々に参加していて、「マルチチップモジュール」なる物を新規事業として参入開発するためのデザインレビューとのことであった。この時、既に三洋電機から発売された「ゴリラ」というカーナビゲーションに SiP が搭載されているとの情報があった。

その頃はシステム LSI の開発費が膨大になってきており、なんとか開発費が少なく、すぐに市場に投入出来るような製品のひとつとして SiP を新たに事業展開出来ないかという発想で、まずはそのための課題や製品としてどんな構成が考えられるかなどから検討を始めた。後でわかったことだが、当時の石橋正半導体事業部長の指示で世の中には SiP という新しいコンセプトを持ったシステム LSI が生まれているので日立でも次のビジネスとして検討するようにとの指示であった。

2. 開発スタート

1999 年 1 月から SiP を事業化するための組織として「MCM 開発室」という名前で新たにスタートした。「MCM 開発室」は既存の組織からの寄せ集めで、まずは私とマイコンシステム部の宮下公一氏との 2 名のスタートであったが、その後 5 名のエンジニアを追加して計 7 名で、初めての SiP 開発に取り組んだ。宮下氏はマイコンシステムの開発用評価ボードを担当していて、当時 SH4 の性能を最大限発揮してかつ安定動作をさせようと、40mm 角の 10 層基板に SH4+64MSDRAM+バスドライバ IC などを搭載したハイブリッド IC 相当を検討し、試作した頃であった。

まずは出来るだけ短期間で拡販用 SiP サンプルを作成する必要があったので、この 40mm 角のハイブリッド IC 相当をベースにして初めての SiP サンプル(図 1)を作成することになった。

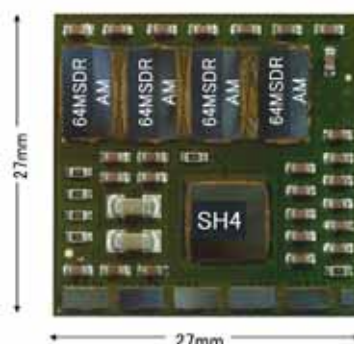


図 1 初めての SiP サンプル

SH4+64MSDRAM+バスドライバ+キャパシタンス/抵抗(以下、C/R と表記)の構成とし、厚さは 2mm、基板サイズも 27mm 角と大幅に小さくした。しかし、実際の試作に当たっては基板設計、実装設計、試作ライン選定、テスト方法などの多くの課題を克服しなければならず、困難を極めた。幸い社内関連組立てラインのルネサス東日本セミコンダクタ相模工場にて検討し、当時としては最も薄い実装が可能な FC (フリップチップ) 接続方式を採用した。そして基板メーカーの協力を仰ぎながら基板設計を行い、電源、GND の配置方法及び電気的特性を考慮した配線ルールや BGA (Ball Grid Array) のボール配置ルールなど初めての SiP 用基板設計基準作りをしながら詳細設計に入り、6 層基板と 8 層基板の 2 種類の試作を開始した。結局ノイズ対策を優先して 8 層基板でのサンプル作成となり、何とか初めての SiP 製品サンプルは 5 月末に完成した。

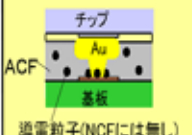
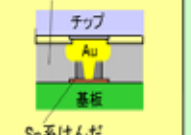

3. ビジネスフロー

SiP サンプルを作成するのと同時に新たに SiP ビジネスフローを考えなければならなかった。というのも日立は LSI 設計部が収益責任を持つことになっており、企画立案、設計した製品の製造原価も含めて管理しており、(売価-総原価=利益)の管理責任があった。しかし新設した「MCM 開発室」はシステム構成を決定した後は、その構成に必要なシステム LSI を他のロジック設計部から、またメモリはメモリ事業部からの調達を行い、SiP 製品として売ることを考えていたので、従来同様に収益責任を

持てるのかが不明確であった。こういうビジネスは初めてであったが、まずは事業として成立するかどうか先決との判断もあり、「MCM 開発室」での収益責任というビジネスフローでスタートした。営業部隊とも何度かビジネスフローの議論を重ねて、標準品 SiP のラインアップを取り揃えて拡販するという方針でまとめ、SH3、SH4 を搭載した SiP 製品のラインアップを急いだ。図1に示した SiP 以外にも汎用に優れた SH4+64MSDRAM や、SH3+64MSDRAM といった構成の標準 SiP を揃えていくことになった。ここでちょっと話は逸れるが、こうして「MCM 開発室」という独立した SiP 専用設計部を設立出来たからこそ、今日の SiP 製品を他社に先駆けて開発、量産することが可能となり、SiP というジャンルが確立したのだと思う。他社も同じような時期に同じようなコンセプトで SiP 製品の開発を始めたと聞いているが、専任の設計部隊を設立したのは日立だけだったようで、例えば ASIC 設計部の一部の人が SiP 製品を担当、あるいはシステム LSI の開発後に SiP 化を検討するなどしていたようである。パッケージ部隊が SiP を開発していた会社もあったようで、SiP 固有の問題を解決出来なかったようである。SiP 固有の問題であるテストフローや他社からの部品調達の問題と対策は、6 項で述べる。

4. 初めての量産

2000 年の秋頃に、初めての受注が決まった。受注といってもロット 500 個程度の商談であったが、既に SH4 を採用していたワイヤボンディングメーカーのボンダ装置の改良タイプに、最初に開発した SiP サンプルの SH4+64MSDRAM+バスドライバ+C/R の SiP を採用したいとの事であった。しかし、FC(フリップチップ)接続として初めて採用した ACF(Anisotropic Conductive Film) 方式は、まだ量産技術が確立しておらず、量産用の治工具も未整備で量産工数が多大など問題が多かった。また、耐湿性に弱いという特性も見つかったが、兎に角、受注した以上量産をしなければならず、人海戦術で量産を継続するという厳しい状況が 2 か月程続いた。この方式の知見を持つ日立のデバイス開発センタや機械研究所への依頼など、量産技術の確立を急いだが、ACF 方式は基板表面レジスト膜の厚さと ACF の厚さ、基板の硬さ及び組み立ての際の圧着させる圧力のパラメータが複雑に絡み合うことで製造バラツキが生じるということが判明した。結果として ACF を用いた FC 接続方式は量産の安定性を維持するのは難しいという結論(当時の材料での条件であり、現在は ACF 接続でも全く問題は無い)となり、以降、Au-はんだを用いた FC 接続へと舵を切ることになる。FC 接続は ACF 方式、Au-はんだ方式、はんだボール方式と 3 種類(図 2)あり、既に LCD ドライバ IC では実用化されていた ACF 方式が一番安価でかつ量産に耐えられる技術ということで採用した経緯がある。しかし SiP としては初めての実装方式でもあり、平行して他の方式も検討を始めていた。

	ACF 方式	Au-はんだ方式	はんだボール方式
構造	 ACF チップ Au 基板 導電粒子(NCFには無し)	 アンダーフィル チップ Au 基板 Sn系はんだ	 アンダーフィル、バリアメタル チップ 基板 はんだパンプ
長所	(1) Auスタッドハンブ使用でバリアメタル不要 (2) アンダーフィル工程不要	(1) Auスタッドハンブ使用でバリアメタル不要 (2) 接続信頼性良好	(1) はんだによるセルフアライメント効果があり、実装が容易 (2) 接続信頼性良好
短所	(1) 耐熱性が劣る (2) 耐湿性が劣る (3) 接続抵抗が高い	(1) Au-Sn合金の制御が必要 (2) 狭ピッチが容易	(1) バリアメタルが必要 (2) 狭ピッチは困難

ACF: Anisotropic Conductive Film
NCF: Non Conductive Film

図 2 FC 接続技術の比較

その頃、新光電気工業(株)が、この Au-はんだ方式にて量産技術の目途がついたとの情報を得て、上記の量産後、Au-はんだ方式の試作評価を急いだ。図 3 の SEM 写真に示すように、はんだプリコートにスーパージャフィットを使った FC 接続で基板をクリーニングした後、はんだ粉末を付着させフラックスを塗布し直接リフローする方法である。

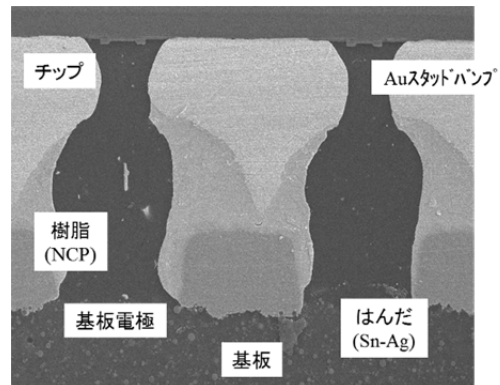


図 3 Au-はんだ方式の接続部断面 SEM 写真

特徴は、(1)はんだ組成選択の自由度が大きい、(2)パターン精度が高く、ファインピッチ対応が可能、(3)はんだの膜厚が均一でかつコントロールが可能などであり、SiP の量産技術として非常に安定していて最適な接続方法と判断した。幸いなことに ACF 方式はこの製品を含む少量ロット生産のみであったので、以降この方式を取りやめ、新たなスーパージャフィット法を使った Au-はんだ方式へと切替えていった。

5. 飛躍

初めての少量量産も何とか終えた 2001 年は標準 SiP 製品を必死で拡販し、少量ロットながら少しは受注が増えてきた。だが在庫を抱えながらのビジネスでは効率が悪く収益も出ず、SiP 事業として踊り場にきていた。そこでどうすれば大きな受注が見込めるか必死でもがいてい

た、まさに丁度その頃、カスタム設計部とカシオ計算機(株)(以下カシオと記す)間でデジタルカメラ用画像処理 ASIC の開発が進められていた。

カシオの方にも日立が SiP のビジネスを開始したとの情報が入っていたので、一度説明に来て欲しい旨の連絡があった。カシオはデジタルカメラとして 1995 年に「QV-10」の名前で今のデジタルカメラと同様方式の製品を、既に世の中に出していた。そして次世代の新しいコンセプトを持ったデジタルカメラを開発する中で、薄型/小型を特徴とするために画像用 ASIC を含めたいくつかの LSI を SiP 化出来ないかとのことであった。

私にとっては売り上げ拡大の大きなチャンスであったが、SiP としての本格的な量産実績が無い、他社メモリを搭載した SiP のテスト実績が無い、開発期間が少なく日程がタイト、価格設定をどうするかなど課題が山積みであった。いろいろな議論をさせていただき、一旦は時期尚早ということで棚上げになりそうになったが、カシオの開発責任者から、「あなたが本当に SiP をやりたいのなら一緒にやりましょう」と言ってくれたことで、日立内部の説得も出来、初めて本格的な量産(1 万~3 万/月)の受注をいただいた。仕様としてはマイコン+画像用 ASIC + FLASH+SDRAM の 4 チップ構成で 23mm角、厚さ 1.6mmとなった(図 4)。

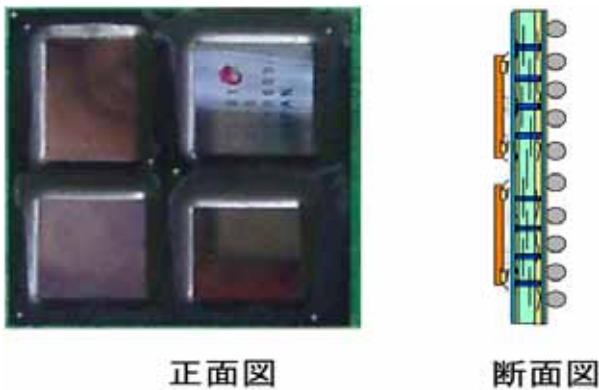


図 4 最初のカシオ向けデジタルカメラ用 SiP

従来のデジタルカメラのシステム基板は 3 枚必要であったが、主要 LSI の 4 チップを 1 パッケージ化することによりシステム基板を 1 枚にすることが可能となり大幅な小型薄型化を実現できるようになった。また定量的なデータは無いが SiP 化することで、システム基板間の配線長も短くなるのでセットとしての消費電力も小さくなり、なにより EMI(Electro Magnetic interference/電磁放射)ノイズが大幅に減少した。

この時にカシオの責任者から一緒にやろうと言っただけなければ、今日の SiP は無かったかもしれない。改めて、その度量に感謝申し上げたいと思っている。そして多少の不良問題などあったが、順調に量産も立ち上がり SiP 採用のデジタルカメラが初めて世の中に登場した瞬間であった。これを契機に、カシオのデジタルカメラにはほぼ全量 SiP が採用され、また同時に他のデジタ

ルカメラメーカーにも採用されることになり本格的な SiP 量産時代に突入した。

6. 他社ウエハの調達とテストフロー

もう一つ特筆すべき事項に SiP ビジネスには他社のメモリウエハを調達しなければならないということがある。SiP 標準品を開発している時は、同じ社内でのシステム LSI 及びメモリを調達していれば良かったが、カスタムシステムであるデジタルカメラの構成に他社製メモリが必要になれば当然、他社メモリのチップあるいはウエハを調達しなければならない。

当時は半導体メーカー同士でチップあるいはウエハを購入することなど有り得ない状況であった。セットメーカーを介して他社のチップあるいはウエハを購入することは極まれにあったが、SiP ビジネスを本格的にやろうとなるとこの道は避けては通れなかった。幸い、上記のカシオのデジタルカメラの場合はカシオ経由で他社半導体メーカーのウエハを購入するルートが出来た。

その後、原価低減のために日立と他社半導体メーカー間で直接取引を開始するようになったが、この時の問題はウエハ購入でのテスト方法であった。

SiP のウエハ~組立てまでのテストフロー(図 5)について、半導体の通常のテストフローは、ウエハでのテスト+組立て後のテストのトータルテストにて LSI の動作保障をしているのが一般的である。しかし、他社ウエハを購入するとなるとこのテストの考え方が崩れることになり、当然、途中工程のウエハでの出荷では完全な動作保障が出来なくなる。

その為に KGD(Known Good Die)、KTD(Known Tested Die)という定義が存在することになる。KGD は完全にテストされた良品という意味だが、KTD はある程度テストされているが完全な良品ではないという、やや曖昧な定義である。そこで大事なのが購入するウエハに対して KGD を要求するのではなく、KTD で購入し、SiP に組み立てた後、SiP として如何に動作保障出来るようなテストを施すかである。



図 5 SiP のウエハ~組立てまでのテストフロー

SiP の構成は大きく分けると自社のシステム LSI 及びロジック LSI と他社メモリの SDRAM あるいは FLASH の一例がある。図 6 の例は、自社 LSI と他社 LSI の動作を分離出来ることである。自社のシステム LSI やロジック LSI は動作保障出来るテストが可能であるが他社メモリは自社 LSI と切り離すことにより、他社からいただけるテストパターンにて KTD のテストが容易に出来ることになる。つまり、自社と他社の LSI を独立させてテストすることが可能になる方式とした。更に、自社のシステム LSI からアクセスプログラムにより他社メモリを内部バスからアクセスしパターンマッチング方式のテストを行うことにより実装動作保障が可能となった。

このテスト方式が確立出来たことにより、他社の半導体メーカーからの購入スペックも明確となり購入ルートが出来上がった。それ以降は他社ウエハの購入実績から更に別の半導体メーカーからのウエハ調達も容易となり、SiP ビジネスとしての他社購入ルートは完全に確立したのである。国内の他社メモリウエハはもとより海外の他社メモリウエハも含めてほとんどの半導体メーカーとの取引実績を作った。

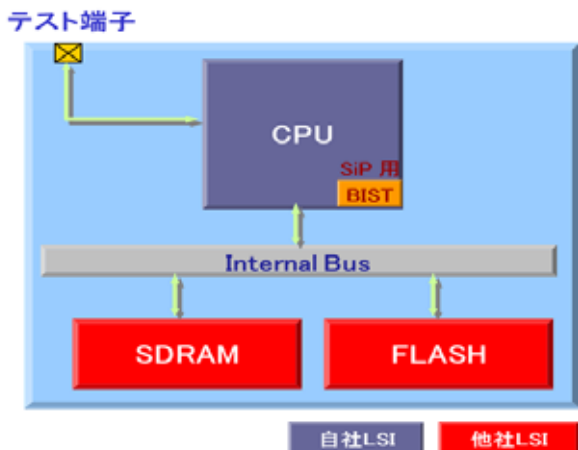
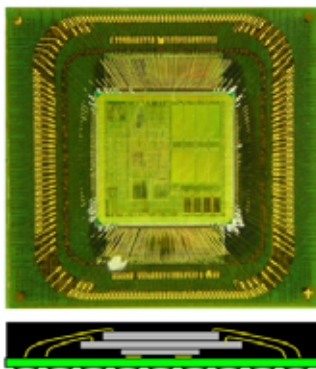


図 6 テスト端子を用いたテスト方式

7. 積層 SiP の開発

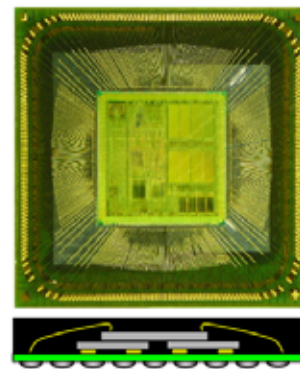
SH3, SH4 + 64MSDRAM の構成ではいずれも横に並べた構造を採用しており、どうしても外形が大きかった。そこで更なる小型化を目指して検討を重ね、チップの下段は FC 接続して基板に接着させ上段は上向きでワイヤボンディングして接続するという世界で初めての 2 段あるいは 3 段重ね方式の積層 SiP の開発に成功した(図 7)。小型/薄型化する為の積層 SiP の要素技術としては、(1) FC 接続技術(ファイピッチ、超多ピン、狭間隙アンダーフィル)、(2)ワイヤボンディング技術(ファインピッチワイヤ、低ループワイヤ、長短ワイヤ、オーバハンクボンディング)、(3)超薄型ウエハ研磨技術(低ストレス裏面研磨、低ストレスダイピックアップ、薄厚み DAF)、(4)モールド技術(薄厚みモールド、低反り)、(5)基板技術(薄厚み基板、微小はんだプリコート)などが挙げられる。

上段 : SH CPU => W/B実装
中段 : 16M-FLASH => W/B実装
下段 : 64M-SDRAM => FC実装
13 x 13mm[□] 242pin



3段積層SiP

上段 : SH CPU => W/B実装
下段 : 64M-SDRAM + 16M-FLASH
=> FC実装
13 x 13mm[□] 242pin



2段積層SiP

図 7 積層型 SiP の構成例

8. まとめ

そして 2003 年は、日立と三菱の半導体事業が合併した新たな(株)ルネサステクノロジが誕生し、新事業の一角として SiP ビジネスも注目され飛躍的に伸びた年であった。別のデジタルカメラメーカーに単品で採用されていた SH3 系の積層 SiP の採用も新たに決まり、いよいよ月産 100 万個体制までに成長した。その後は、デジタル民生機器(デジタルカメラ、デジタルムービー、プリンタ、TV)を中心に医療機器、高周波用途、産業機器にも広がり、同時に大規模量産品である携帯電話にも採用され、月産数千万個に拡大していった。

こうして 1999 年に初めた SiP ビジネスは、組織化から始まりサンプル作成、拡販、売り込み、量産開始、量産不良、新技術開発とあらゆる経験をしながら、世の中に認められていったのだが、正直、今日まで大きな発展が出来るとは思っていなかった。

そこには多くの先輩方の暖かいご支援と失敗しても続けさせていただいた企業の土壌、そしてたまたま時流に乗って成長したデジタルカメラや携帯電話のニーズとして SiP の特長である小型/薄型化技術がピッタリはまったことが挙げられる。ここに改めて上司や先輩方、並びに関係各位に感謝申し上げたい。

また最後になってしまいましたが、改めてカシオ計算機(株)の方々及び新光電気工業(株)の方々に、一緒に SiP を立ち上げていただいた御礼を申し上げます。

参考文献

- 1) 赤沢 隆 “SiP 技術のすべて” 工業調査会
- 2) 村上 元 “図解 最先端 半導体パッケージ技術のすべて” 工業調査会