

CMOS 高速 SRAM の開発

元日立製作所 中央研究所 増原利明
(超低電圧デバイス技術組合 専務理事)



はじめに

筆者は、1974年から1年間、カリフォルニア大学バークレイ校に滞在し、R. S. Muller 先生の下でD(二重拡散)MOS という NMOS トランジスタの研究を行った。当時、NMOS が世界の主流になっていた。Muller 先生と2人で1975年2月のISSCCに出席したが、学会が開催されたフィラデルフィアが雪となり、研究ミーティングをホテルの一室で行った。その時、二重拡散 MOS (DMOS) の p 拡散層をウエルにも利用した CMOS ができるのではないかという着想を得た。NMOS は集積度の増大により消費電力限界を迎えると考えていた私は、残る半年の滞在期間中に二重拡散 CMOS デバイス¹⁾を開発する方向にテーマを変更した。4月頃、集積回路を研究していた博士課程の中国人学生と芝生でサンドイッチを食べながら、「CMOS をどう思うか」と聞いてみたところ、彼は「CMOS は NMOS に比べて遅く、使い物にならない」と言った。ベル研究所でバイポーラの SRAM を開発し、バークレイ校でデジタル回路の講義を担当していた D. A. Hodges 先生と話したところ、同じご意見であった。「米国では CMOS は遅くて NMOS に太刀打ちできないと思っており、CMOS の可能性に誰も気づいていない。チャンスである。」と私は考え、帰国後、CMOS デバイスの開発を開始した。

本稿では、1976～1980年に、日立製作所 中央研究所、武蔵工場チームが開発した二重ウエル高速 CMOS プロセスの SRAM 製品の開発についてまとめた。同様の記事は牧本 次生さん(当時、武蔵工場 メモリ設計部長)他により出版、掲載されている^{2), 3), 4)}。ご参考にしていただければ幸いです。

HM6147 の開発

日立中央研究所第7部 久保 征治さんの研究室に筆者が帰任した後、シリコン・オン・サファイア(SOS)のプロセスを開発していた酒井 芳男さんと2人で高速 CMOS デバイスを開発する研究を開始した。当時、

中央研究所では超 LSI プロジェクトが進行しており、NMOS しか試作できなかった。そこで、武蔵工場の5ミクロンの CMOS プロセス(4300 シリーズ)を借用し、アナログ CMOS、低電圧動作(0.2V)を行うバックゲート MOS BMOS という新回路⁵⁾など、アイディア回路を搭載した、ADAM(アドバンスト・アナログ MOS)シリーズの TEG(テストデバイス)を設計した。その後、ADAM の3ミクロンプロセス版として、周辺回路が CMOS の256ビット DRAM を最初に設計した。私は回路を設計し、酒井さんといくつものアイディアを出し合った際、CMOS の問題点であった動作速度が遅いという問題点を解決する二重(トゥイン)ウエルプロセス⁶⁾の構想を酒井さんが提案し、2人で特許を出願した(「2重ウエル型 CMOSLSI 技術の発明、特許第1402402号」、平成6年7月、全国発明表彰発明賞を受賞)。酒井さんは一人で武蔵工場へ出かけて、試作部の友澤 明広さん、常松 政養さんらと協力して二重(ダブルまたはトゥイン)ウエルプロセスでの ADAM の試作を行った。

1976年の夏、武蔵工場メモリ設計部の安井 徳政さんとお話する機会があり、安井さんが高抵抗ポリシリコン・メモリセル SRAM を開発していることを知った。当時のメモリ設計部長であった牧本さんの下で、5ミクロン NMOS プロセスの4Kビット SRAM、HM472114 と CMOS 5ミクロンプロセスの HM4315 を西村 光太郎さん、内堀 清文さんたちのチームが開発中であった。高抵抗ポリシリコン SRAM セルは、4ケの nMOS トランジスタで、高抵抗多結晶(ポリ)シリコンを負荷とするフリップフロップを構成し、電荷保持を行うセルである。同一導電型の p ウエルに4ケの nMOS トランジスタ、上層に高抵抗ポリシリコンを配置、メモリセル面積がフル CMOS セルの30～40%にできるのが特徴であった。一方、高抵抗でデータを保持するため、高温、低温でデータ保持特性が保障できるかが大きな課題であった。そのため、アイスクリー

ムショーケースを利用して低温選別を行うという涙ぐましい工夫を行い、製造部長を説得したようである。高抵抗ポリシリコンを用いたメモリセルを用いた NMOS、CMOS SRAM の開発から高速 CMOS SRAM に至る過程は、日経エレクトロニクス、“革新の原点 CMOS を普及させたチップ”⁴⁾ にエピソードを交え、記述されている。

安井 徳政さんとの話し合いで、中央研究所の二重ウエルプロセスを用いた CMOS による周辺回路と、武蔵工場が開発中の高抵抗ポリシリコン・メモリセルを組み合わせることにより、従来の CMOS の問題点であった動作速度を飛躍的に改善できる SRAM が実現できるのではないかという結論に至った。DRAM は半導体事業の浮沈を握る重要デバイスで、大開発チームがすでにあるのに対し、高速・低電力の SRAM であれば冒険が許される。そこで、高速・低電力の SRAM を共同で開発することを 2 人で決めた。そして、武蔵工場から少人数の依頼研究が開始された。最初は、設計上の問題を抱えていた 5 ミクロン CMOS プロセスの SRAM HM4315 の回路解析とチェックを中研が行った。当時、日立では NMOS の SRAM を数品種開発中だったが、安井さんの方針で、3 ミクロンプロセスの CMOS 最初の製品として、当時、世界最高速のインテル 2147 とスピードは同等以上、低消費電力性でインテルを超える製品を世に出そうということに決定した。

その後、中央研究所では、湊 修さん、佐々木 敏夫さんが設計に加わった。高速性能を実現するため、CMOS 差動センスアンプ、バイポーラトランジスタ使用出力バッファ等の回路を工夫し、高抵抗 nMOS メモリセルと組合せ、3 ミクロンルール SRAM を設計した。これを ADAM7 という名称の TEG に入れ、酒井さんがプロセスを担当し試作を開始した。世界に打って出るために、1978 年の ISSCC (国際固体回路会議) のレートニュースに投稿することにした。投稿のデッドラインまで時間が無いので、プロセス途中のチップで写真を撮り、出力波形写真を貼るスペースのみ残して、設計値に基づいたアクセスで投稿論文を書いた。ISSCC の締め切りが 1 週間後に迫った 1977 年の 12 月のある日、酒井さんが試作したウエハを中央研究所に持参し、テストボードを準備して待つて

いたテスト担当の佐々木 敏夫さんがウエハにプローブの針を下したところ、一発で見事に動作した。アクセス時間は設計値と同じ 43ns で、消費電力はインテルよりはるかに小さい値を計測した。「Hi-CMOS 4K Static RAM」と名づけ、論文を早速書き上げた(図 1)。論文はレートニュースとして採択され、ISSCC で発表することができた⁷⁾。

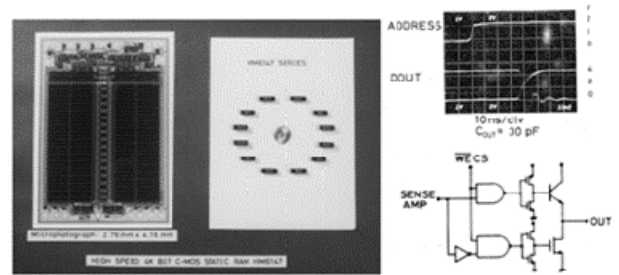


図1 HM6147のチップ写真(左)と1978 ISSCCに発表した出力バッファ回路図と波形(右)。バイポーラトランジスタは製品では使用しなかった。

いよいよ HM6147 の製品化に入ったが、エージング工程で、ラッチアップ(電源とグラウンドに大電流が流れデバイス破壊する現象)が発生したという電話が入った。実験した結果、内部バッファに使用したバイポーラトランジスタのベースがブートストラップ効果で順方向にバイアスされ、ラッチアップのトリガになることを突き止めた。すぐにベース・エミッタをショートし、バイポーラを動作しないようにパターン変更した。受け手の武蔵工場での試作プロセス開発はプロセス技術開発部の小佐 保信部長のもとで、目黒 怜さんが担当したが、最初の歩留は 0-3%しか出ないという問題を発生した。常松 政養さんを中心に、ADAM7 で使用したコンタクト露光、ネガレジストプロセスを、ポジレジストプロセスに変更したが、レジストの剥がれが発生し、うまくゆかない。結局、ネガレジストの改良で乗り切った。武蔵工場の小佐さん、目黒さん、友澤さん、常松さん、安井さん、内堀さんのご努力により、ようやく HM6147 は製品化することができた。

1979 年 12 月に、Hodges 先生からカリフォルニア大の社会人向け講義 (University Extension) で SRAM のセミナー講演を依頼され、San Francisco 空港 Hilton Hotel で講演した。私の前は Intel の SRAM であつたと思う。Hodges 先生と昼食をとった際、「アメリカで

HM6147 を解析し、その結果を聞いたが、「バイポーラのベース・エミッタがショートされていた。なぜか。」と聞かれ、米国で解析される対象になっていることを知った。その後、パークレイ校に Hodges 先生を訪問した際、「私も CMOS に改宗したよ」と言われたことも記憶に残っている。HM6147 は、その後 IR100 賞を授賞した(図 2)。エンジニア 3 人の風貌が現在と大きく異なるのは、その後の時間の経過を示すものである。

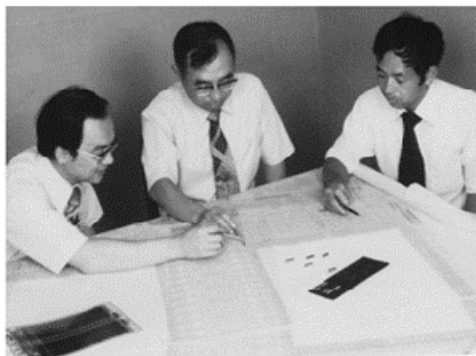


図2 HM6147の設計図を前に、IR100のときの写真。左から、安井氏、牧本氏、筆者。

HM6116 の開発

第二の製品、HM6116 は 2Kx8 ビット構成であった。集積度を 4 倍にしたが、2 層のポリシリコンを使うとプロセス数が増えるので、1 層のポリシリコンで高抵抗を作りたいと考えた。そこで、p 型のウエルに開口

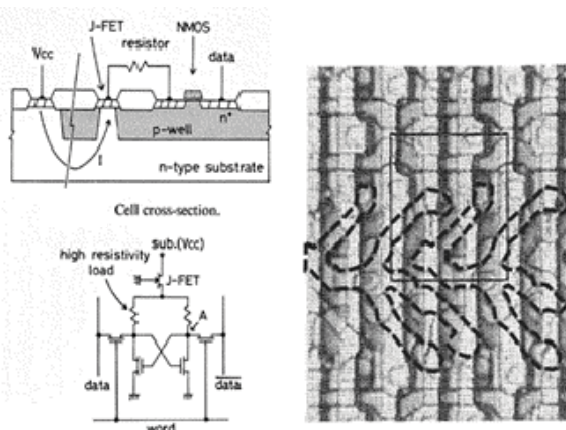


図3 HM6116のメモリセルの断面図(左上)、回路図(左下)、セル写真(右)。常松さんから「魚の骨セル」と言われたポリシリコン高抵抗部分を破線で表示。

部を設けて n 型基板に接続し、n 拡散層を配置して、2 つのセルの高抵抗ポリシリコンを接続して給電する構造とした(図 3)。

その結果 4 本の抵抗が一箇所に接続されるレイアウトになり、苦心して、結局、高抵抗を斜めに配置した。そのセルは当時リソグラフィ技術者で毎日セルを顕微鏡で見ていた常松さんに、「魚の骨セル」と命名された。客観的に見ると確かに「魚の骨」である。HM6116 のセルは 1980 年の SSDM(固体素子コンファレンス)で発表⁸⁾した。

HM6116 の最初の試作品では低電圧マージンが悪いセルが多発した。テストの不良ビットマップと試作品の「魚の骨セル」を現場の顕微鏡で眺めてみると、マージンの悪いチップでは魚の骨が交差する部分に身が残ったようなパターンになっている。言い換えれば隣接する高抵抗が途中でショートしたようになっている。その場で、湊さんにレイアウトを変えるよう電話し、「骨に残った身」のポリシリコンを取り去ったところ、ようやく低電圧側のマージンが出るようになった。危うくわれわれは「どこの馬の骨か」になるところであった。2Kx8b の SRAM の回路、特性については 1980 年の ISSCC に発表した(図 4)⁹⁾。

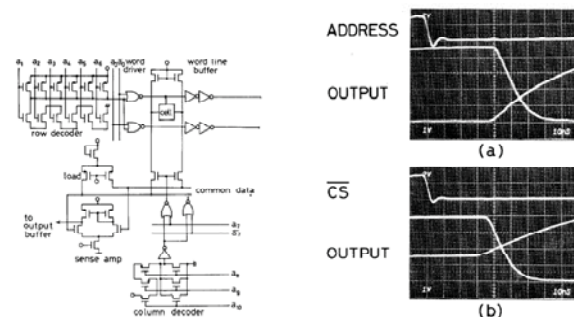
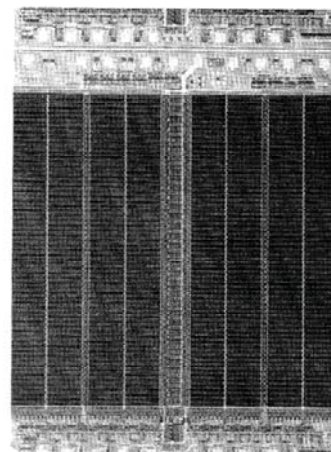


図4 HM6116のチップ写真(上)、回路(下左)、出力波形(下右)。1980 ISSCC に発表したもの

当時、 α 線によるソフトエラーが大きな問題としてクローズアップされていた。 α 線が基板内に入射したとき発生した多量の電子、正孔のうち、電子が

メモリセルに到達すると、エラーが発生する。CMOSではpウェル内で発生した電子しかメモリセルに達しない。そこで、nMOSセルのCMOSでは α 線によるソフトエラーに強いことを記述して投稿した。講演は安井さんが行うことになった。当時、東芝が国内ではライバルで、ISSCCの同じセッションで東芝の香山晋氏の発表があった。「香山さんには英語では勝ち目がない。カラー図面で勝負しよう」という講演者の意図により、発表図面を何度も書き直し、練習に何回も付き合ったことを記憶している。

HM6116では懸案のポジプロセスに切り替えたが、1980年5月の連休明け、またしても歩留問題が発生した。当時のプロセス技術開発担当者であった池田修二さんが目を赤くして解析した結果、連休明けにマスク洗浄の純水からバクテリアが発生していたことが分かった。その後の状況を牧本 次生さん著、「一国の盛衰は半導体にあり」³⁾から引用する。『私(牧本さん)は自分の足で内外の顧客を回り、HM6147やHM6116について格段の好評をいただいていたので、「これはいける」ということを肌で感じていた。そこで実際に注文をいただく前から先行して製品を仕込み、在庫を持つことにしたのである。とくにHM6116は多くの需要が見込まれたので大量に作りこんで戦略在庫とした。ところが、在庫に見合う注文はこなかった。月が経るにつれて在庫は積み上がり、不良資産化の懸念も出てきた。事業部長は、「もし性能的にNMOSとコンパチブルであるのなら、型名もNMOSに合わせたらいいではないか」という持論だった。そして、あるときその持論は命令に変わる。そこでHM6116の型名を一旦消した上で、HM2116に書きかえることになった。しかし、天運というべきか、そのような作業が始まるか始まらないうちに6116に多量の注文が入ってきたのである。・・・(中略)・・・1981年頃には16K SRAMの分野で世界トップのポジションを確保できたのである。』

販売上の苦難や在庫危機を乗り越えた本製品は、確かに天運に恵まれたのかもしれないが、チームが巨大ではなく、牧本さん、安井さんの指揮による製品戦略と研究所・工場の技術開発が、社内ベンチャのごとく結束して行われ、全員がそれぞれの分担範囲で活躍した結果であることが大いに幸いした。1990

年には高速CMOS SRAMのPioneering Contributionとして、筆者が代表して、IEEEから「Solid-State Circuit Award」を受賞することができた(図5)。

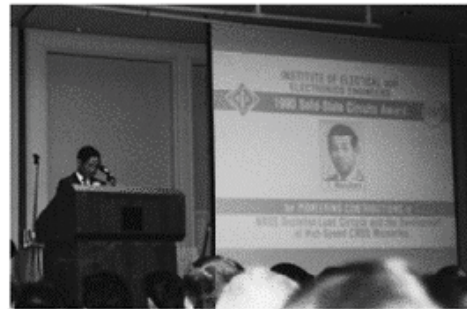


図5 1990年のIEEE Solid-State Circuit Awardを受賞。
“For pioneering contributions to NMOS depletion load circuits and the development of high speed CMOS memories.”

その後、高速CMOS技術は日立のSRAMに使用され、64K¹⁰⁾(湊 修さん)、256K¹¹⁾(山本 昌さん)、1M¹²⁾(佐々木 勝朗さん)、4M SRAM¹³⁾(佐々木 勝朗さん、Poly-pMOS 負荷)を開発、ISSCCで発表した。最近のマイコン、システムLSIでは、低電圧化に伴いSRAMのメモリセルはフルCMOSに移行し、キャッシュメモリとしてLSIに搭載されるようになった。また、二重、三重ウェルの高速CMOSはマイクロプロセッサ、DRAM等殆どのLSIにおいて、世界中で使用されるようになった。

おわりに

日本の半導体産業は1980年代に飛躍し、1986年にシェアでも米国を抜いた。しかし、1993年の日米シェア再逆転以降、最近まで地盤沈下が続いている。日本半導体製品が内向きで、日本のIT機器が世界標準でなく景気後退で需要も伸び悩んでいること、マイコンやシステムLSIの高付加価値製品が持たず、低コスト競争で韓国や台湾に押されていることが原因である。

最近、オスロで西暦8-11世紀にヴァイキング(デー人、ノルマン人)の舟であったオーセベル舟を見る機会があった。

船首に相手を威嚇する怪物の彫刻を施した檣材の優美な船体は、軽量、フレキシブルであり、舵が右舷後方にあつて喫水が浅く、フィヨルド、浅い海でも操船が容易で、川の奥深くに入り込める機動性を持っていた。外洋では高速で帆走(復元船で17ノツ

ト)し、40人乗り程度の舟にわずかの食料、武器、馬を搭載し、ブリテン、アイルランド、ノーマンディ、地中海沿岸と交易し、時には、村を急襲し恐れられた。遠くは、北海、北大西洋を越えアイスランド、



図6 バイキングの舟。オスロ近郊のオーセベルで女王の舟であったが、墓として埋められた。外洋舟でないが可動の帆柱がある。

グリーンランド、北米大陸(コロンブスの500年前)に到達した。船を製造する鉄工具や部品、携行食糧・容器・調理器、軽量・強靱な斧、剣等の武器、航海術等の水準が優秀であったことが分かる。北欧では4月には農耕や牧畜が開始される。出航組は技術者、水夫、戦闘員兼任の人員を集めて準備を開始、6月には航海に出発、秋には母港に戻る生活であったという。行動は、ローマ軍のような大規模軍団でなく、小規模集団での高速移動、急襲、逃走が特徴で、当時のヨーロッパで無敵を誇った。名誉の戦死にはヴァルハラからオーディンに仕える女性、ワルキューリのお出迎えがあった。

1980年代から30年、マイクロプロセッサ、DRAM、ファウンドリなど巨大ファブモデルが隆盛を極めた。今や微細化モデルは限界を迎え、来るべきIT・モバイル・インターネット融合時代では超低電圧デバイス・回路・不揮発メモリ、アナログなど異種(ヘテロ)デバイスを、3Dも含めて集積化する新世界に向けて半導体産業は舵を切る時代に来ている。筆者達も2010年から「超低電圧デバイス技術研究組合」で、超低電圧・不揮発メモリと基盤技術開発を開始し、新しい電子システムと半導体応用に向けて微力を捧げている。日本の半導体産業も、応用を展望し、新しい方向を目指すパイオニアが多数出現することを期待したい。

参考文献

- 1) T. Masuhara et al., "Complementary DMOS Process for LSI", 1975 IEDM, Dec. 1975.
- 2) 蟬の輪会、「バック・ツー・ザ・フューチャ・半導体 その9 インテルの高速メモリに挑戦 -日立中央研究所 二重ウエル CMOS の発明-」補助資料、2009年9月
http://www.astroagent.com/seminowa/backtothefuture_top.htm
- 3) 牧本 次生、「一国の盛衰は半導体にあり」、2006年11月、工業調査会
- 4) 日経エレクトロニクス、「革新の原点 CMOSを普及させたチップ」、第1回 2007年7月30日、第2回 8月13日、第3回 8月27日、第4回 9月10日
- 5) S. Asai et al., "Back-Gate Input MOS-A New Low-Power Logic Concept", 1976 IEDM, Dec. 1976.
- 6) Y. Sakai et al., "High Packing Density, High Speed CMOS (Hi-CMOS) Device Technology", 10th SSDM, Tokyo, pp.73-78, Aug. 1978.
- 7) T. Masuhara et al., "A High Speed, Low Power Hi-CMOS 4K Static RAM", ISSCC, Feb. 1978.
- 8) O. Minato et al., "Buried J-FET Powered Static RAM Cell", 11th SSDM, Tokyo, Aug. 1979.
- 9) T. Masuhara et al., "2Kx8b HCMOS Static RAMs", ISSCC, Feb. 1980.
- 10) O. Minato et al., "A Hi-CMOSII 8Kx8bit Static RAM", ISSCC, Feb. 1982.
- 11) S. Yamamoto et al., "A 256K CMOS SRAM with Variable-Impedance Loads", ISSCC, Feb. 1984.
- 12) K. Sasaki et al., "A 15ns 1Mb CMOS SRAM", ISSCC, Feb. 1988.
- 13) K. Sasaki et al., "A 23 ns 4Mb CMOS SRAM with 0.5 uA Standby Current", ISSCC, Feb. 1990.

(超低電圧デバイス技術研究組合 専務理事)