

DRAM用トレンチキャパシタの発明と実用化経緯、  
IEEE西澤潤一メダル受賞に当たって その2：

## 試作成功と製品化動向

角南 英夫（広島大学  
ナノデバイス・システム研究センター 教授）



### 試作着手と動作成功

1KビットDRAMが1970年に製品化されてから一世代3年毎に4倍に規模を拡大してきた。世代がすすむ毎にチップ面積を1.5倍に拡大、メモリセルをほぼ40%に縮小、そして回路の改良を加えて4倍化を実現してきた。セルの縮小は蓄積キャパシタ面積の縮小をもたらす。だが、安定な回路動作のためキャパシタ容量値を保たねばならないのでキャパシタ絶縁膜を薄くして補ってきた。その結果、電源電圧12Vでは絶縁破壊を引き起こすまでに薄くなった。これでは解が無い。

当時日立では中央研究所の伊藤清男博士が発案した折り返しデータ線構成や5V単一電源ほか様々な挑戦的な技術で64Kビット開発に成功した。順調に製品化され、1K、4K、16Kと米国のメーカーが先導していた世界市場でとうとう日本の日立がトップメーカーとなった（その後4Mまでの4世代は日本のメーカーが先導してきた）。この“勝ち戦”はその後の研究開発に大きな影響を与えている。

トップを取った日立は様々な意味で余裕ができた。眠っていたトレンチキャパシタのアイデアの具現化を図ろうとの機運が高まり、1Mビットへの適用開発が始まった。完全結晶を理想とする技術者から「溝を掘り、結晶を傷つけるのは何事か」という批判があったのを懐かしく思い出す。

試作は極めて順調で、当時まだ方向性が十分ではなかったドライエッチングによっても図1の様なセル

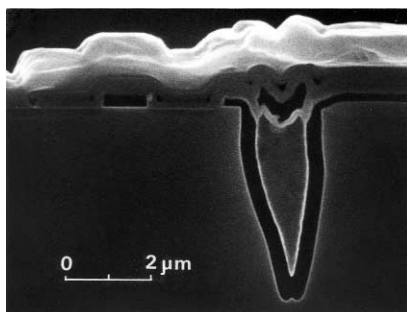


図1 最初に試作したトレンチキャパシタセル

ができ、平面の2倍以上の容量値が実現できた。この結果を1982年の国際電子デバイス学会（IEDM）で発表した。この時代、日立は一目置かれていたため多くのメーカーがトレースを開始した。

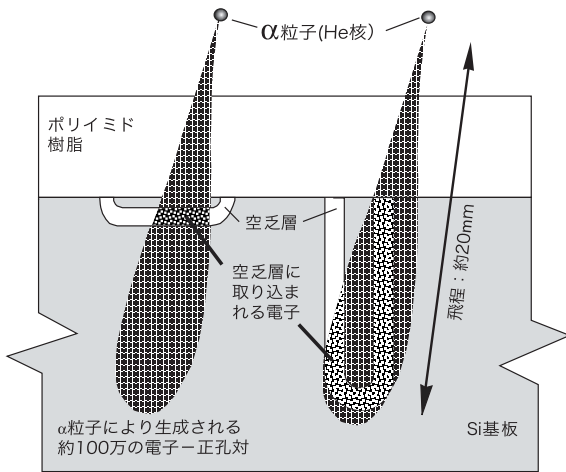
この発表は2004年IEDM50周年記念行事の一環で選別された58件の優秀発表に選ばれた。外に日本からは1978年（スタックキャパシタ/小柳光正/日立中研）、1984年（フラッシュメモリ/舛岡富士雄/東芝）、1988年（トランジスタ移動度解析/高木真一/東芝）、1989年（DELTAトランジスタ/久本大/日立中研）、1990年（SiGe歪みトランジスタ/村上英一/日立中研）（以上敬称略、当時の所属）の5件が選ばれている。

受賞者に日立が多いのは、当時最先端の中央研究所で他社よりずっと多くのリソースを充て、かつ研究所としては多額の設備投資を続けた成果だと私は分析している。また、私を含め半分の3人が西澤研出身であるのも偶然とはいえ興味深い。

### 製品化開発を覆った暗雲

1Mビット製品化を目指したトレンチであったが試作評価段階で大きな障害が見つかった。それは当時DRAMの大規模化を止めるとまで騒がれたソフトエラーである。パッケージ樹脂などに含まれるトリウムやウランから発生するヘリウム核（粒子）が固体と衝突すると最大約百万個の電子-正孔対を生成する。これはほぼ200fCの電荷量で、蓄積キャパシタに蓄える信号電荷量とほぼ同じである。ヒットした瞬間だけ一過性の記憶データ不良を誘発するのでソフトエラーと呼ばれる。

トレンチキャパシタは図2に示すごとく基板に深く空乏層が伸びるので、まるで線のセンサーのように効率よく電子を集めた。当時耐線特性は最も耳目を集めていた話題であった。いくつかの改良構造も提案されたが次に述べる理由によってトレンチキャパシタの製品化は断念された。



平面キャパシタ トレンチキャパシタ  
図2 粒子の入射により電子-正孔対生成過程

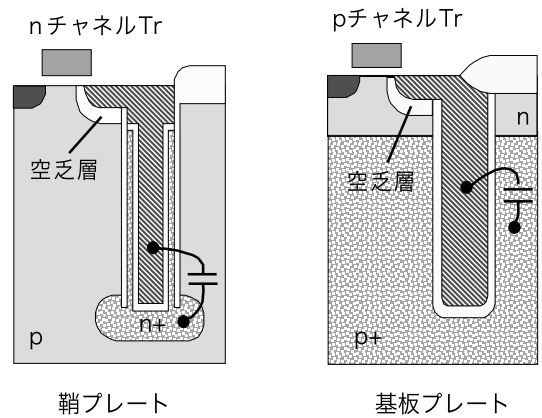


図4 ソフトエラー対策をしたセル構造  
空乏層の極小化によりソフトエラーに強い

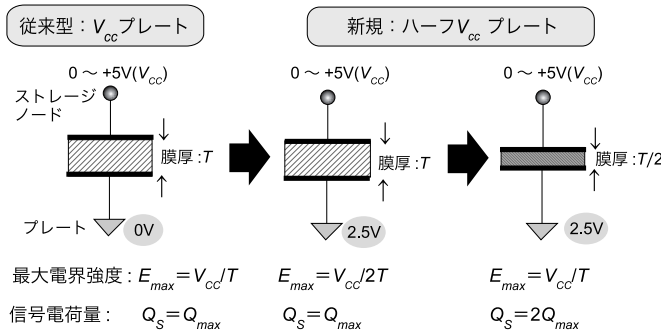


図3 ハーフ  $V_{cc}$  による信号電荷量の増大

### 1MビットDRAMは従来平面型に回帰

当時、DRAMの最大市場はIBMが率いている大型計算機で、高い信頼性を要求していた。IBMの採用は信頼性保証のお墨付きであり、多くのDRAMメーカーはこれを目指した。それでも採用されるのは最初に要求をクリアした2,3社であり、半年の開発遅延は致命的となるという背景があった。

その様な状況の下、三菱電機から従来のプレーナー（平面型）でも1Mビットが実現できる技術が発表された。これはハーフ  $V_{cc}$  と呼ばれるプレート電圧印加方式で、図3に示すように電源電圧の半分の2.5Vをプレートに印加することによって、キャパシタ絶縁膜の電界を半分にできる。この余裕を利用して絶縁膜の厚さを半減し、同じ面積で2倍の信号電荷量を実現する技術である。

このような背景の下、日立はトレンチキャパシタの製品化を見送り、プレーナーに回帰した。一方、IBM、シーメンス、東芝、TIなどは開発に成功し、1Mビットで製品化した。

### スタックキャパシタセルの台頭

実は日立内ではトレンチキャパシタに先んじてスタックキャパシタを研究していた。同じ職場で机を並べていた小柳光正博士（現東北大学教授）で、その成果を1978年のIEDMで発表した。前述のようにIEDM優秀発表に選ばれている。

しかしまだ十分プレーナー型で製品が実現できる時代であったので社内の製品化は後回しになった。最初に製品化したのは、1Mビットでの富士通であった。スタックはほぼ従来技術で製品化できたので、業界の指向もスタックに傾き、日立は4M以後スタックを採用する。

いっぽう中央研究所のグループは図4に示すような抜本的な耐線構造を提案したが、「<sup>あつもの</sup>糞に懲りて<sup>なます</sup>膽を吹く」とは言い過ぎであろうか、以後トレンチの製品化が試みられることは無かった。現在のトレンチ製品は図中右に基本構造を示す基板プレートを採用している。粒子が生成する雑音電子を集める空乏層が極めて小さいのがわがらう。現在市場におけるスタック対トレンチの割合はおおよそ3:1である。現在の主なトレンチメーカーは東芝、IBM、キマンダ（旧インフィニオン）などで、スタックはサムスン、エルピーダ、マイクロン、ハイニックスなどである。

### IEEE 西澤潤一メダル受賞

本賞がアナウンスされたのは2002年である。マテリアルとデバイスの融合に対するめざましい功績に与えられるので、少し対象がちがうのかなという懸念はあったが、DRAM市場の二大セルを発明した西澤先生の弟子二人が、それらのアレー配置を発明した同僚との三人で申請するのは半ば義務であろうと



図5 2006年IEEE西澤潤一賞受賞者三人と1T-DRAMセル発明者のロバート・デナード博士  
(向かって後列左：筆者、右：小柳博士、前列左：伊藤博士、右：デナード博士)

思い、あえて申請に踏み切った。

授賞式は2006年6月24日、ミネソタ州ミネアポリスでとりおこなわれた。図5はその時の我々三名と、1トランジスタセルの発明者、IBMのロバート・デナード博士との記念のスナップである。博士はよく知られたスケーリング則の提唱者でもある。

IEEE表彰には、エジソン、グラハム・ベル、ロバート・ノイス、ジャック・キルビー、フォン・ノイマンなどの名を冠したメダルがあり、これらに並ぶジュニイチ・ニシザワ・メダルのステータス、榮譽は計り知れない。あらためて身の引き締まる思いである。

### おわりに：“独創”のトラウマ

西澤先生の教えを再び記すと「論文は読むな。他

人と同じことはするな。独創を最優先せよ」先生が自らこうおっしゃっていたかどうかは、40年余の時空を超えた今では実は定かでない。先生の背中から受けた印象が私にそう言わせているのである。先生はマスコミを通じ、生涯続けて限りなくメッセージを発信していらっしやるので、間違っていないと勝手に思いこんでいる。

このトラウマは何か研究上で行動しようとするといつも頭をもたげる。その結果、先のわからない難題を選ぶことになる。「他人と違ったことをしたい」というのはどんな性格の発露なのだろう。今更変えようにも変えられない。まあ、分析は心理学者にまかせよう。

いっぽう、集積回路市場ではメモリもプロセッサも様々な障害に直面している。1GビットDRAMの製品化遅延、プロセッサの高速化終息宣言などですでにその兆候が現れている。筆者は来年定年を迎えるが、これらの障害を乗り越える明確な解を見いだしていないのが心残りである。30年前に飽和してしまった“独創性”をもう一度奮い立たせるには何をすればよいかと考えてみたい。

最後に、トレンチDRAM開発を推進してくださった当時の部長の浅井彰二郎博士、集積回路設計のとりにまとめをしていただいた伊藤清男博士、机を並べて互いに刺激し合った小柳光正博士、また中央研究所での試作を行っていただいた多くのエンジニアに感謝してペンを置きます。



### 「賛助会員会社の紹介」コーナーを今年から設けます

SSISにご協力して頂いております賛助会員会社殿に便宜を提供し、アンコールを通じて紹介していくコーナーです。会社紹介、事業紹介、製品紹介、技術紹介など、自由な内容をアンコール1ページ程度

にまとめて紹介して頂きます。掲載は毎号1社乃至2社を予定していますが、詳細につきましては、別途、賛助会員各社殿へ連絡致します。

### セミコン・ジャパン - 2006への協力

12月6日～8日幕張メッセで開催されたセミコン・ジャパン - 2006において、SEMIの企画したブースツアー案内役を昨年に続きSSISが担当。6名の会員の御協力をいただきました（敬称略：岡田隆、森山、高橋令、高畑、堀内、片野）。御礼申し上げます。